



ESCUELA TÉCNICA SUPERIOR DE INGENIEROS INDUSTRIALES Y DE TELECOMUNICACIÓN

Titulación :

INGENIERO DE TELECOMUNICACIÓN

Título del proyecto:

NUEVAS REALIZACIONES DE AMPLIFICADORES
SUPER CLASE AB

Alumno: Eduardo Azcárate Gracia

Tutor: Antonio López Martín

Pamplona, 5 de julio de 2012

ÍNDICE

0- MOTIVACIÓN Y OBJETIVOS

1- INTRODUCCIÓN AL OTA

1-I PAR DIFERENCIAL

1-II ESPEJO SIMPLE

1-III OTA SIMPLE

2- CLASE A Y CLASE AB

2-I DESCRIPCIÓN

CLASE A

CLASE AB

2-II CONVERSIÓN DE CLASE A A CLASE AB

2-III CONVERSIÓN OTA MILLER

INTRODUCCIÓN

CONVERSIÓN A CLASE AB

SALIDA DIFERENCIAL

CONTROL MODO COMÚN DE SALIDA

3- TÉCNICAS DE FGT Y QFGT.

3-I TRANSISTOR DE PUERTA FLOTANTE

3-II TRANSISTOR DE PUERTA CUASIFLOTANTE

4- ESPEJOS NO LINEALES

4-I SENSOR DE CORRIENTE FVF (FVFCS)

4-II ESPEJO BASADO EN FVF

4-III CONFIGURACIÓN ALTERNATIVA

5- PRESENTACIÓN OTA Y SUS MODIFICACIONES

5-I OTA BASE

5-II OTA ADAPTATIVO

5-III OTA1 (OTA ADAPTATIVO CON ESPEJO TIPO 1)

FG A LA ENTRADA (OTA1+MOD1)

SALIDA DIFERENCIAL (OTA1+MOD1+MOD2)

QFG A LA ENTRADA (OTA1+MOD3)

5-IV OTA2 (OTA ADAPTATIVO CON ESPEJO TIPO 2)

FG A LA ENTRADA (OTA2+MOD1)

SALIDA DIFERENCIAL (OTA2+MOD1+MOD2)

QFG A LA ENTRADA (OTA2+MOD3)

5-V OTA3 (OTA ADAPTATIVO CON ESPEJO TIPO 3)

FG A LA ENTRADA (OTA3+MOD1)

SALIDA DIFERENCIAL (OTA3+MOD1+MOD2)

QFG A LA ENTRADA (OTA3+MOD3)

6- COMPARACIÓN OTA Y SUS MODIFICACIONES

6-I LAZO ABIERTO

SLEW-RATE

SATURACIÓN

DIAGRAMAS DE BODE

DISTORSIÓN

RELACIÓN DE RECHAZO A LA ALIMENTACIÓN (PSRR)

RELACIÓN DE RECHAZO AL MODO COMÚN (CMRR)

CONSUMO

RUIDO

6-II LAZO CERRADO

SLEW-RATE

SATURACIÓN

DIAGRAMAS DE BODE

DISTORSIÓN

RELACIÓN DE RECHAZO A LA ALIMENTACIÓN (PSRR)

RELACIÓN DE RECHAZO AL MODO COMÚN (CMRR)

CONSUMO

RUIDO

7- PAR DIFERENCIAL DE TRANSCONDUCTANCIA ENSALZADA

7-I TOPOLOGÍA 1

7-II TOPOLOGÍA 2

7-III TOPOLOGÍA 3

7-IV TOPOLOGÍA 4

7-V RESUMEN RESULTADOS

7-VI OTA BASE CON TOPOLOGÍA 2

7-VII OTA BASE CON TOPOLOGÍA 3

7-VIII OTA BASE CON TOPOLOGÍA 4

8- LAYOUT

8-I PRESENTACIÓN DEL CIRCUITO

8-II LAYOUT

8-III SIMULACIÓN POST-LAYOUT

8-IV COMPARACIÓN RESULTADOS

9- CONCLUSIONES Y LÍNEAS FUTURAS

10- BIBLIOGRAFÍA

0- MOTIVACIÓN Y OBJETIVOS

En nuestros días, la demanda de circuitos electrónicos de bajo consumo es cada vez más elevada. La principal causa de esta tendencia es la creciente proliferación de dispositivos electrónicos inalámbricos y portátiles alimentados mediante baterías. Dichas baterías deben tener un tiempo de vida lo mayor posible, mientras que por otro lado se procura que sean cada vez menos voluminosas y más ligeras. Por este motivo, surge una necesidad clara de reducir al máximo el consumo de potencia de los circuitos.

Los circuitos digitales CMOS se han adaptado con éxito a las nuevas exigencias de bajo consumo gracias a las características del procesado digital de señal. El consumo dinámico de un circuito digital es proporcional a la tensión de alimentación al cuadrado, por lo que para reducirlo basta con bajar dicha tensión. Esta disminución de la tensión de alimentación es además necesaria en las tecnologías modernas de fabricación de circuitos CMOS dada la reducción en los espesores de los óxidos de puerta de los transistores.

En los diseños mixtos *analógico-digital*, la solución industrial más extendida consiste en integrar la parte analógica junto con el circuito digital en el mismo sustrato, utilizando para ambos la misma fuente de alimentación. Sin embargo, y al contrario de lo que ocurre en el caso digital, los *circuitos analógicos CMOS* que usan técnicas convencionales sufren mucho más con la reducción de la tensión de alimentación, sobre todo en lo que se refiere al *rango dinámico de operación*. Además su consumo no se escala con la tensión de alimentación como ocurre en el caso de los circuitos digitales, dado que es preciso cambiar las topologías al usar baja tensión.

Por otra parte, la utilización de circuitos que operan en *clase A* no es muy recomendable en términos de consumo. Entendemos por operación en clase A la situación en la que el consumo de potencia de un circuito es constante, independientemente de que haya o no señal a la entrada. Obviamente, este modo de funcionamiento es contraproducente en dispositivos alimentados por baterías destinadas a durar el mayor tiempo posible.

En los últimos tiempos, se está extendiendo el uso de los llamados *Transistores de Puerta Flotante (FGT: Floating Gate Transistors)* y *Transistores de Puerta Cuasi-Flotante (QFGT: Quasi-Floating Gate Transistors)* para implementar soluciones a estos problemas. Ambos dispositivos son transistores MOS configurados de tal forma que la señal o señales de entrada están acopladas capacitivamente al terminal de puerta, el cual está flotante en FGTs o casi flotante en QFGTs (conectado a una tensión DC a través de una resistencia de alto valor). Estos dos tipos de transistores serán tratados en el primer capítulo, donde se estudiarán con cierto nivel de detalle.

En líneas generales, se puede decir que los *FGT* y los *QFGT* ofrecen la posibilidad de rediseñar muchos circuitos ya existentes para hacerlos más versátiles, más compactos y para mejorar algunas de sus características.

Así las cosas, el objetivo de este proyecto es utilizar técnicas basadas en FGT y QFGT sobre topologías ya existentes con el objetivo de mejorar alguna de sus características. Más concretamente, los circuitos tratados serán *Amplificadores Operacionales de Transconductancia* (OTA: *Operational Transconductance Amplifier*) y *Transconductores* (OTA linealizado). Usaremos modificaciones de las etapas de entrada y de salida para convertirlas en clase AB, de forma que conseguimos un consumo de potencia más eficiente. Decimos que un circuito opera en clase AB cuando presenta un consumo mínimo en ausencia de señal y entrega una potencia mucho mayor a la carga cuando sí hay señal a la entrada. El uso de tecnología clase AB tanto en etapas de entrada como en las de salida podemos denominarlo como *Superclase AB*.

A continuación resumiremos brevemente la estructura del proyecto.

En los primeros apartados explicaremos en qué consiste un OTA y la operación el clase A y clase AB. También pasaremos a explicar cómo actúan los transistores FGT y QFGT.

El apartado de espejos no lineales muestra tres configuraciones de espejos de corriente que ofrecen una salida cuadrática. Nos servirán como etapas de salida de nuestros sistemas en configuración de *Superclase AB*.

El siguiente gran apartado consiste en presentar un OTA e ir aplicándole configuraciones de clase AB en la entrada y la salida. Para la entrada utilizaremos el mismo sistema de polarización adaptativa en todos los casos. En la etapa de salida utilizaremos cada uno de los tres espejos no lineales explicados anteriormente. Con cada una de estas modificaciones haremos los estudios pertinentes para poder ver cómo mejoran los sistemas.

Por ultimo veremos cómo ensalzar la transconductancia del par diferencial. Usaremos cuatro diferentes métodos, alguno de ellos directamente relacionado con la técnica de FGT y QFGT.

Como el proyecto tiene vistas a poder seguir con el estudio, escogeremos la mejor configuración vista durante el texto y realizaremos su layout. Tanto en los modelos del simulador como en los layouts se ha utilizado una tecnología CMOS de 0,5 μ m de la empresa AMI, con pozo N, dos capas de polisilicio, tres niveles de metal y resistencias de alto valor óhmico.

Presentaremos las conclusiones del proyecto y hablaremos de las líneas futuras que seguirán las técnicas basadas en FGT y QFGT en general, y las que abren los circuitos de este trabajo en particular.

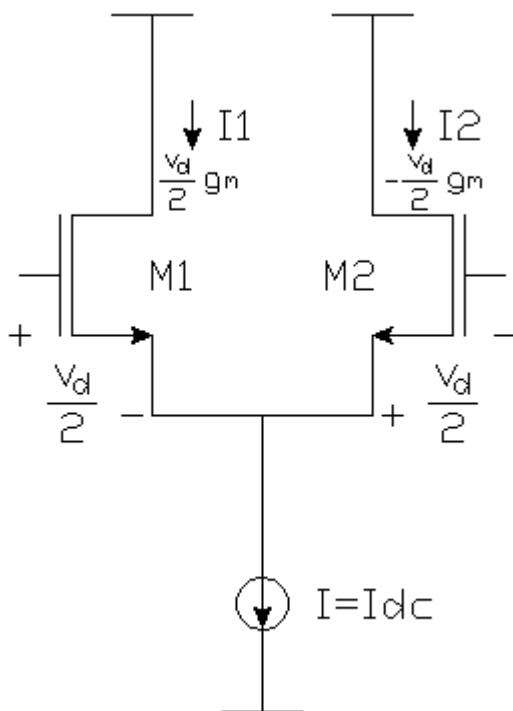
1 – INTRODUCCIÓN AL OTA

1.1 Par diferencial

La señal de entrada se introduce en las puertas de los transistores (v_d). Pensamos que dividimos la señal de entrada en dos señales con el mismo valor en DC (modo común) y con la mitad de la variación en AC, es decir, $v_{G1} = V_{DC} + v_d/2$ y $v_{G2} = V_{DC} - v_d/2$. En DC las corrientes I_1 e I_2 son iguales a $I_{dc}/2$. Como ya sabemos, la expresión de la corriente entre drenador y fuente es la siguiente:

$$i_{DS} = \frac{1}{2} \mu_o \cdot C_{ox} \cdot \left(\frac{W}{L} \right) \cdot (v_{GS} - V_t)^2 (1 + \lambda \cdot v_{DS}); \quad I_{DS} = \frac{I_{dc}}{2}$$

En este esquema las fuentes de los dos transistores están unidas en un nodo. Dicho nodo mantendrá constante la tensión (si el modo común de entrada se mantiene constante), ya que la misma cantidad que aumentamos en la puerta de M1 será la que baje en M2.



Las transconductancias correspondientes son:

$$g_m = \frac{\partial i_{ds}}{\partial v_{gs}} = \mu_o \cdot C_{ox} \cdot \left(\frac{W}{L} \right) \cdot (V_{GS} - V_t)$$

$$g_m = \frac{2 \cdot I_{DS}}{V_{GS} - V_t} = \frac{I_{dc}}{V_{GS} - V_t}$$

$$g_{DS} = \frac{\partial i_{ds}}{\partial v_{ds}} \cong \lambda \cdot I_{DS} = \frac{1}{r_o}$$

La variación de tensión en v_{gs1} es $v_d/2$ y en v_{gs2} es $-v_d/2$. Estas variaciones de tensión suponen unas variaciones en las corrientes I_1 e I_2 :

$$\partial i_{ds} = g_m \cdot \partial v_{gs} = g_m \cdot \frac{v_d}{2} = \left(\frac{I_{dc}}{V_{GS} - V_t} \right) \cdot \left(\frac{v_d}{2} \right)$$

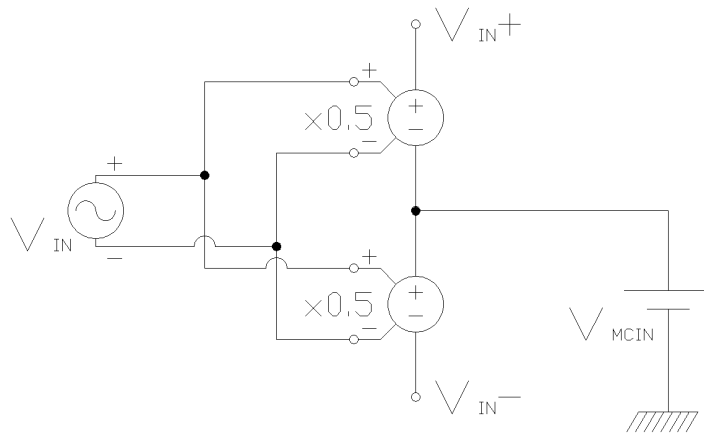
Por lo tanto las corrientes I_1 e I_2 resultan en:

$$I_1 = \frac{I_{dc}}{2} + \left(\frac{I_{dc}}{V_{GS} - V_t} \right) \cdot \left(\frac{v_d}{2} \right); \quad I_2 = \frac{I_{dc}}{2} - \left(\frac{I_{dc}}{V_{GS} - V_t} \right) \cdot \left(\frac{v_d}{2} \right)$$

Estos resultados son válidos siempre que la variación $\partial V_{GS} = v_d/2$ sea mucho más pequeña que $2 \cdot (V_{GS} - V_t)$, es decir, siempre que estemos en condiciones de pequeña señal.

NOTA IMPORTANTE

Tanto para el circuito anterior como para el resto de circuitos que usen el par diferencial debemos tener en cuenta cómo introducimos la señal de entrada. A continuación mostramos el circuito que divide la señal de entrada de manera adecuada:



Para introducir una señal AC determinada lo hacemos directamente en la fuente V_{IN} . El nivel de DC lo fijamos con la fuente de tensión continua V_{MCIN} . Sobre esta tensión DC utilizamos dos fuentes de tensión controladas por tensión de ganancia 0,5. La tensión de control será concretamente V_{IN} . De esta manera tenemos que V_{IN+} y V_{IN-} son:

$$V_{IN+} = V_{MCIN} + \frac{V_{IN}}{2}$$

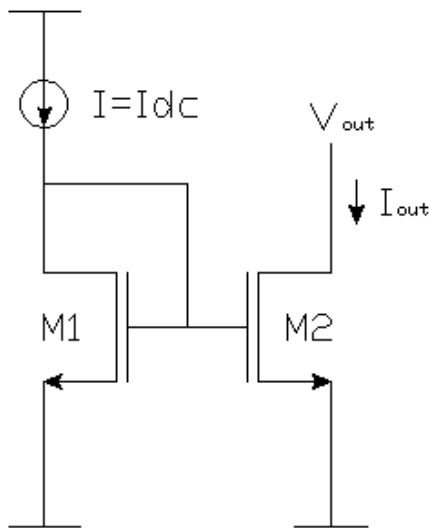
$$V_{IN-} = V_{MCIN} - \frac{V_{IN}}{2}$$

Cobra gran importancia la tensión de modo común de entrada V_{MCIN} , ya que de ella depende que los transistores que forman el par diferencial de entrada al circuito estén bien polarizados.

1.II Espejo simple

Tenemos dos transistores con la misma tensión V_{GS} , lo que se traduce en lo siguiente:

$$I_1 = \frac{1}{2} \mu_o \cdot C_{ox} \cdot \frac{W}{L}_1 \cdot (V_{GS1} - V_t)^2 (1 + \lambda \cdot V_{DS1}); \quad I_2 = \frac{1}{2} \mu_o \cdot C_{ox} \cdot \frac{W}{L}_2 \cdot (V_{GS2} - V_t)^2 (1 + \lambda \cdot V_{DS2})$$



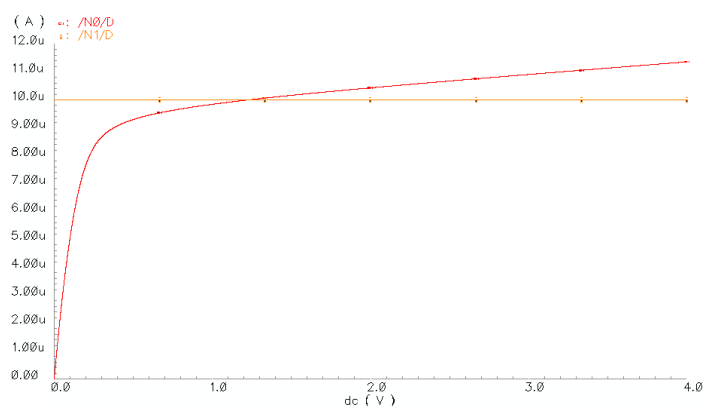
$$\frac{I_1}{I_2} = \frac{\left(\frac{W}{L}\right)_1}{\left(\frac{W}{L}\right)_2} \cdot \frac{(1 + \lambda \cdot V_{DS1})}{(1 + \lambda \cdot V_{DS2})} \approx \frac{\left(\frac{W}{L}\right)_1}{\left(\frac{W}{L}\right)_2}$$

Realmente la corriente de salida depende la tensión V_{out} . La resistencia de salida de este espejo es exactamente $r_0 = 1/g_{ds} = 1/(\lambda I_D)$.

La tensión V_{out} se puede reducir como mucho hasta $V_{out} = V_{DS2} = V_{GS1} - V_t = V_{DSsat}$ para mantener M2 en saturación.

Vamos a realizar una simulación con el circuito mostrado en la figura. Realizamos un barrido de en la tensión de salida (V_{out}) desde 0 hasta 4 voltios. Hemos utilizado una corriente I_{dc} de $10\mu A$. Mostramos la corriente de salida I_{out} y la corriente I_{dc} para poder compararlas.

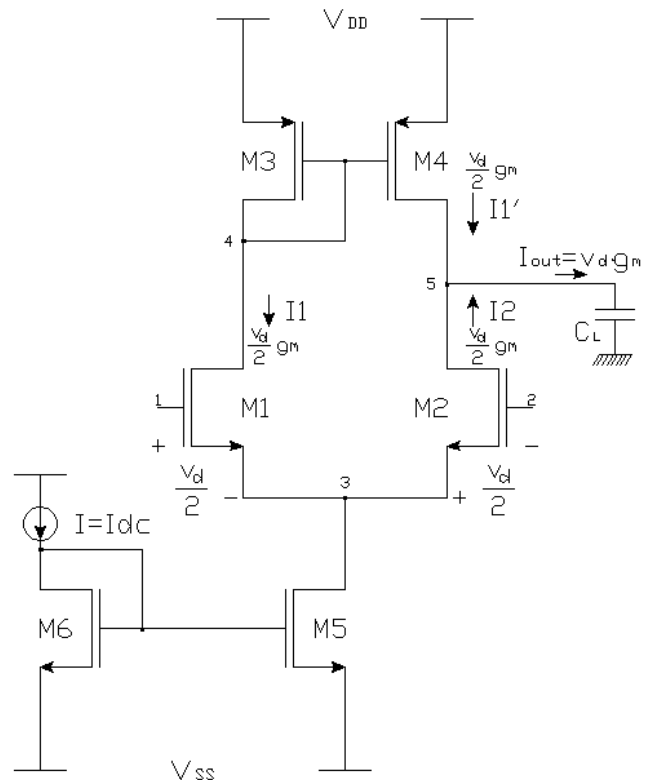
En trazo rojo está la corriente de salida. Vemos claramente que hay dos zonas, triodo y saturación. Una vez que el transistor llega a saturación observamos que la corriente de salida tiene un comportamiento lineal con la tensión. Dicha pendiente es exactamente la inversa de la resistencia de salida.



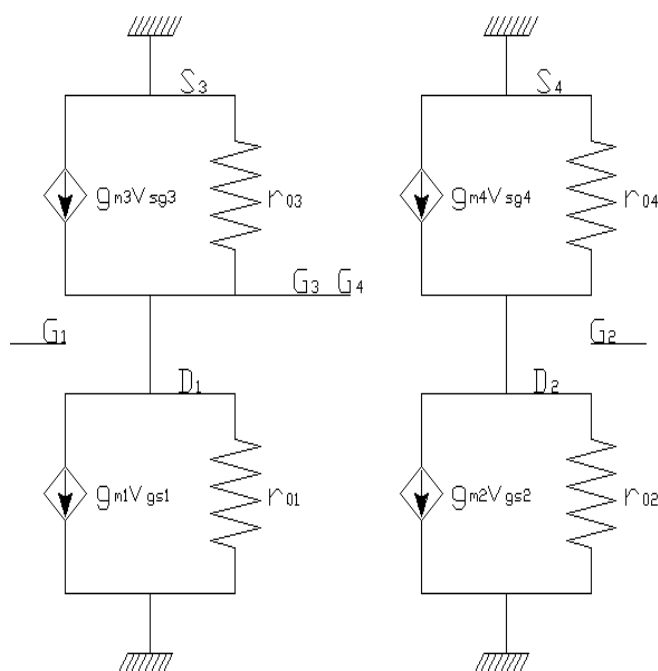
1.III OTA Simple

Descripción

El amplificador operacional de transconductancia (**Operational Transconductance Amplifier**) se basa en un par diferencial formado por M1 y M2 alimentado por una fuente de corriente real (M5 y M6). En la parte superior hay un espejo de corriente (carga activa) como el visto en la sección anterior. En AC este espejo copia la corriente que hay en M3 (generada en M1 por la variación $v_d/2$ en V_{GS1}). En la rama de salida tendremos una corriente igual a la suma de la corriente copiada por M4 y la generada en M2 por la variación $-v_d/2$ en V_{GS2} . La corriente de salida es justo el doble de la generada por el par diferencial.



Modelo pequeña señal (R_{in} , R_{out} , G_m , margen dinámico de entrada, AC)



Suponemos que M1 con M2 y M3 con M4 son idénticos.

La señal la introducimos en las puertas de los transistores MOS M1 y M2, como ya sabemos, no circula corriente por esos terminales, así que la R_{in} será infinita.

La resistencia de salida es el paralelo entre r_{04} y r_{02} .

La transconductancia es g_{m1} .

La mínima tensión que podemos aplicar a las entradas es aquella que hace que M5 quede en el límite de la zona de saturación. La máxima tensión de entrada será justamente la que hace que M4 este en el límite de saturación.

Recordamos que para estar en la región de saturación un transistor N debe cumplir $V_{DS} \geq V_{GS} - V_t = \Delta_N \geq 0$ y para un transistor P es $V_{SD} \geq V_{SG} - V_t = \Delta_P \geq 0$. También sabemos que si la corriente de polarización es constante podemos suponer que $\Delta = V_{GS} - V_t$ es constante (V_t para transistores N será positivo y para transistores P, negativo).

Podemos expresar la tensión V_{G1} como la suma de las siguientes diferencias de potencial: $V_{G1} = V_{SS} - V_{SG3} - V_{DS1} + V_{GS1} = V_{DD} + V_{DS5} + V_{GS1}$

El valor máximo es: $V_{G1} = V_{DD} - (\Delta_3 + V_{t3}) - \Delta_1 + (\Delta_1 + V_{t1}) = V_{DD} - \Delta_3$

El valor mínimo es: $V_{G1} = V_{SS} + \Delta_5 + \Delta_1 + V_{t1}$

A frecuencias altas debemos tener en cuenta las capacidades parásitas de los transistores y ver cómo es la función de transferencia de nuestro circuito. Para ello vamos a identificar el número de nodos que tenemos en el circuito. Cada nodo tiene una impedancia finita a tierra compuesta por una resistencia R_n y un condensador C_n . Cada uno de estos nodos crea un polo cuya frecuencia es $1/(2\pi R_n C_n)$. En nuestro caso particular tenemos únicamente dos nodos, el nodo 4 y el nodo 5. Como ya hemos comentado, el nodo 3 es una tierra virtual ya que las variaciones de la entrada al par diferencial son simétricas (siempre hay la misma tensión en el nodo 3). Tendremos entonces dos polos. Para ver cuál de los dos es el polo dominante deberemos determinar quién tiene mayor R_n y C_n . El valor de los condensadores C_n suele ser del mismo orden, lo que hace que el valor de la resistencia a tierra sea el que determine el polo dominante. Del esquema de pequeña señal mostrado antes vemos que el nodo 4 tiene una resistencia a tierra igual al paralelo entre r_{03} , r_{01} y $1/g_{m3}$ y como $1/g_{m3} \ll r_{03}, r_{01}$ aproximamos este valor a $1/g_{m3}$. La resistencia del nodo 5 es la misma que la resistencia de salida, es decir, el paralelo entre r_{04} y r_{02} . Entonces deducimos que el polo dominante es el 5 ya que tiene una resistencia mucho mayor que el nodo 4 y su frecuencia será:

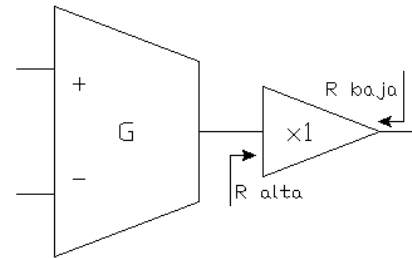
$$f_d = \frac{1}{2\pi(r_{02} // r_{04}) \cdot C_5}$$

$$f_{nd} = \frac{1}{2\pi(1/g_{m3}) \cdot C_4}$$

2 - CLASE A Y CLASE AB

2.1 Descripción

Las etapas de salida tienen la función de conseguir que el amplificador tenga una baja resistencia de salida, haciendo que la señal de salida llegue a la carga manteniendo la ganancia.

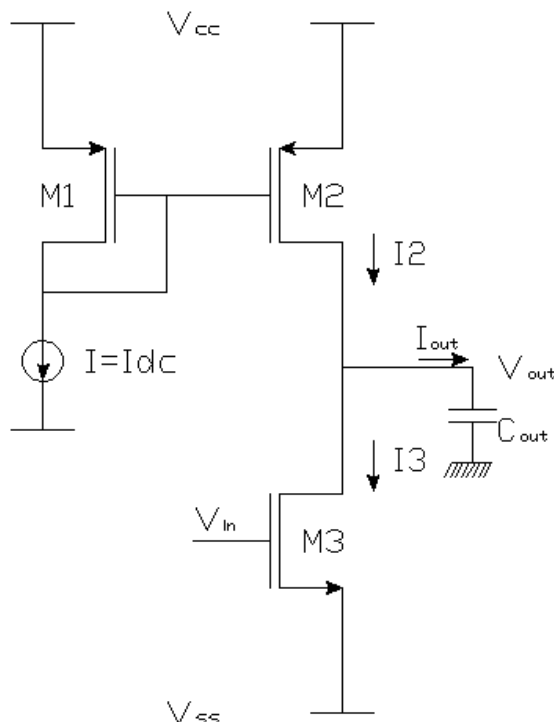


En el diseño de etapas de salida es muy importante atender la eficiencia de potencia. Queremos que sea capaz de entregar potencia a la carga de manera eficiente. La primera razón por la que buscamos esa eficiencia es por reducir el consumo de la energía que pudiera estar almacenada en pequeñas baterías y así prolongar su autonomía. Otra razón es por seguridad de los transistores, que pueden llegar a estropearse si se calientan a causa de un consumo elevado de potencia (necesitaríamos enfriarlos con ventiladores, que de nuevo vuelven a consumir energía).

Las señales que van a atravesar las etapas de salida provienen de los amplificadores, por lo que debemos tener en cuenta que son señales de gran amplitud.

Clase A

Aquí mostramos un ejemplo de operación en Clase A. El espejo formado por M1 y M2 proporciona una corriente I_{dc} para polarizar el transistor M3 (fija la tensión V_{GS3}). La tensión en DC de V_{in} la fijamos justo a dicha tensión V_{GS3} . La máxima tensión que puede tomar V_{out} es la tensión de alimentación positiva menos la tensión de saturación de M2 y la tensión mínima será la tensión de saturación de M3.



Cuando la tensión de entrada tiene un valor alto la corriente que circula por M3 será elevada. I_3 es la suma de la corriente I_2 y $-I_{out}$. Si $I_2 < I_3$ el condensador entregará corriente a M3 (baja la tensión de salida). Si la tensión de entrada baja, la corriente en M3 se reduce (incluso puede llegar a entrar en corte). En este caso $I_2 > I_3$, por lo que entrará corriente al condensador cargándolo (aumenta la tensión de salida). Estamos ante un amplificador inversor.

Es importante mencionar que la corriente de carga del condensador es la que proporciona I_2 , es decir, la misma corriente de polarización. La descarga del condensador por M3 viene fijada por la corriente que inducimos a M3 con V_{in} (V_{G3}). Esta corriente puede ser mucho mayor a la de polarización.

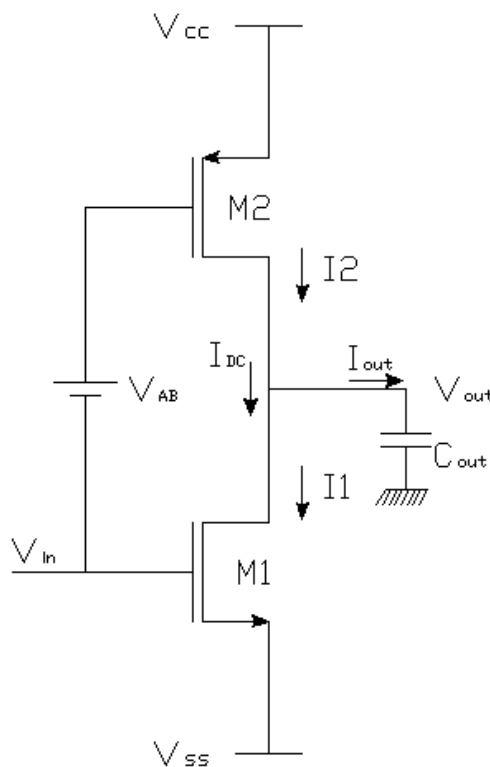
Recordamos la relación entre tensión y corriente en un condensador:

$$i = C \frac{dv}{dt} \quad v = \frac{1}{C} \int i \cdot dt$$

El Slew-Rate de subida está directamente relacionado con la corriente de polarización. Aumenta el Slew-Rate si aumentamos la corriente de polarización, pero también aumenta el consumo (incluso en ausencia de señal de entrada la corriente de polarización hace que consuma el circuito).

Clase AB

Ahora tenemos un ejemplo de operación en Clase AB. Colocamos una tensión fija entre las puertas de los transistores M1 y M2. Fijamos la tensión de DC de V_{in} de manera que obtenemos una corriente I_{DC} en estado estacionario (condensador con tensión constante no consume corriente) que circula por M1 y M2. Debemos tener cuidado al fijar la tensión V_{AB} para que la corriente que induce V_{G2} a M2 sea similar a la que induce V_{in} a M1. La máxima tensión que puede tomar V_{out} es la tensión de alimentación positiva menos la tensión de saturación de M2 y la tensión mínima será la tensión de saturación de M1.



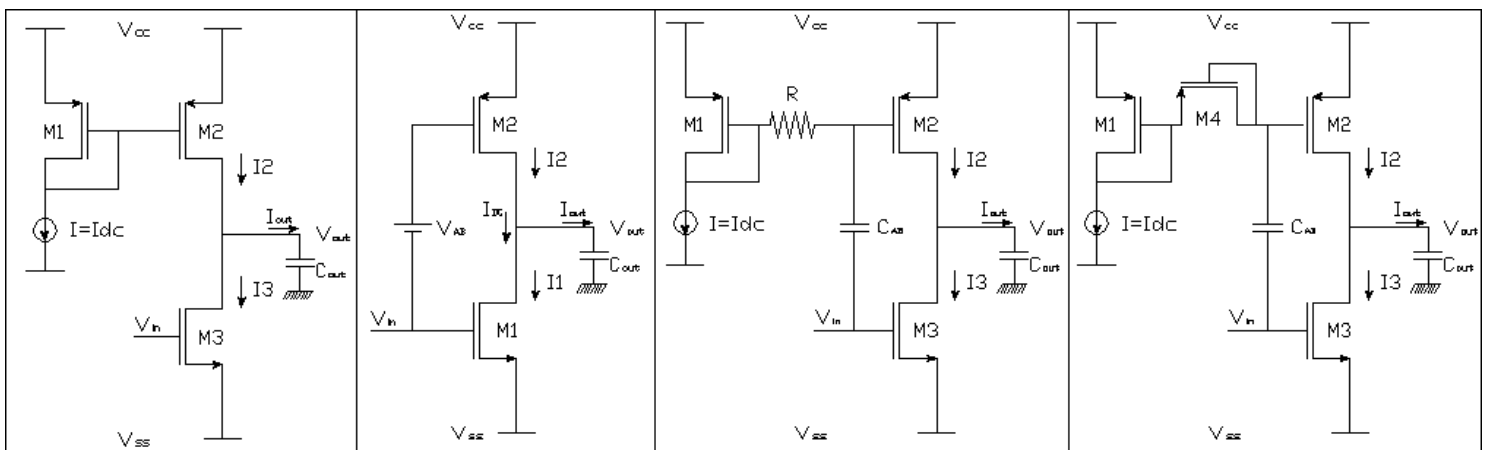
Si la tensión V_{in} aumenta, la tensión V_{G2} aumenta de la misma manera, disminuyendo el valor de V_{SG2} , por lo que I_2 se reduce. También aumenta la tensión V_{GS1} , haciendo que aumente la corriente I_1 . Como $I_1 = I_2 - I_{out}$, al disminuir I_2 y aumentar I_1 , la corriente ($-I_{out}$) aumenta. Esto hace que el condensador entregue corriente a M1 (disminuye V_{out}). Esta corriente es igual a la que entregaba en el caso de Clase A, pudiendo tener valores mucho mayores que la corriente de polarización I_{DC} .

De la misma manera, si V_{in} disminuye, la tensión V_{SG2} aumenta haciendo que la corriente I_2 aumente. La tensión V_{GS1} disminuye haciendo que la corriente I_1 disminuya. Como $I_{out} = I_2 - I_1$, al aumentar I_2 y disminuir I_1 , I_{out} aumenta. Esto hace que el condensador se cargue, aumentando el valor de V_{out} . Ahora el valor de la corriente de carga del condensador puede tomar valores mucho mayores que la corriente de polarización. Está es la principal diferencia entre la operación en Clase A y Clase AB. De nuevo estamos ante un amplificador inversor.

El Slew-Rate de bajada va a ser el mismo que hemos visto para el ejemplo de la Clase A (determinado por la corriente I_1). El Slew-Rate de subida ahora ya no depende de la corriente de polarización, sino de I_2 que puede ser mucho mayor, obteniendo valores de Slew-Rate mucho mayores.

2.II Conversión de Clase A a Clase AB

Partimos del circuito de Clase A que hemos estudiado en el apartado anterior (primer circuito). Los tres siguientes circuitos son equivalentes y operan en Clase AB. El segundo es de nuevo el otro que hemos visto en el apartado anterior, con una batería entre las puertas de los transistores. Para crear una batería en la práctica se suele utilizar un condensador. El tercer circuito utiliza un condensador suficientemente grande. Este condensador se carga en DC, siendo igual que una batería para señales en AC. La resistencia R tiene un valor muy alto y sirve para fijar la tensión en DC de la puerta del transistor M2. Como no entra corriente por las puertas de los transistores, la tensión que habrá en G_2 será idéntica a la que haya en G_1 . Esta tensión viene determinada por la corriente I_{dc} que atraviesa a M1. A efectos prácticos tenemos un espejo formado por M1 y M2. Como ya hemos dicho, en condiciones de estabilidad la corriente que circula por M3 es la misma que circula por M2, la corriente de polarización. Crear una resistencia elevada en silicio requiere una gran superficie, por eso una opción más eficiente es utilizar un transistor conectado como diodo como resistencia (ultimo circuito).



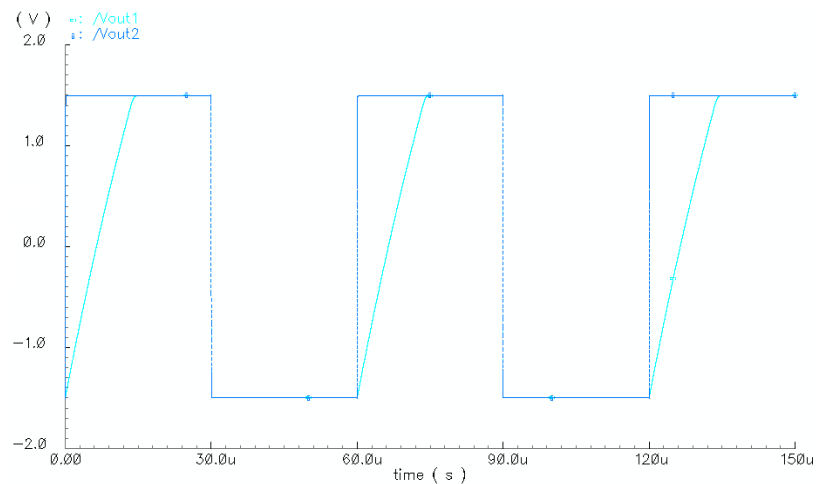
La alimentación para todos los circuitos va a ser ± 1.5 voltios. El condensador de carga tiene una capacidad de 50 pF y el utilizado para unir las puertas de los transistores M2 y M3 de 1pF. La relación W/L para todos los transistores es 50/1. La corriente que utilizamos para polarizar I_{dc} es de 10 μA .

Slew-Rate

En la primera simulación vamos a comparar los dos primeros circuitos para ver la diferencia entre operación en Clase A y Clase AB. La señal de entrada es una onda cuadrada de 60 μs de periodo y una tensión de ± 1.5 voltios, para que podamos medir el Slew-Rate. Es importante utilizar una tensión de entrada elevada para que se note la diferencia entre los dos circuitos.

En la siguiente figura vemos en azul claro la salida que ofrece el circuito en Clase A y en azul oscuro la salida del circuito en Clase AB. Vemos que, como hemos explicado antes, el Slew-Rate de subida (determinado por la corriente de polarización) es mucho menor que el Slew-Rate de bajada (independiente a la corriente de polarización). El de subida

tiene un valor cercano a los $0.21 \text{ V}/\mu\text{s}$ mientras que el de bajada es de $100 \text{ V}/\mu\text{s}$ (475 veces más rápido en la bajada que en la subida).

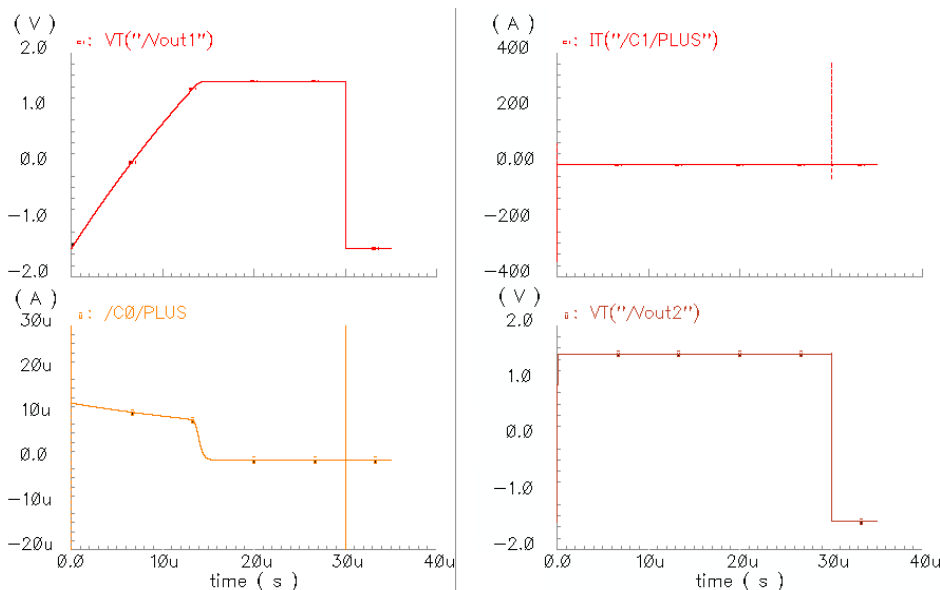


El trazo azul oscuro es la salida que obtenemos en el primer circuito en Clase AB. En este podemos observar que el Slew-Rate de subida es mucho mayor que el de Clase A y prácticamente idéntico al Slew-Rate de bajada. El de subida tiene un valor de $40 \text{ V}/\mu\text{s}$ y el de bajada es de $100 \text{ V}/\mu\text{s}$ (2.5 veces más rápida la bajada).

En la siguiente simulación vamos a comparar el funcionamiento del segundo circuito (con una fuente V_{AB} de tensión ideal), el tercer circuito (con una fuente de tensión creada por el condensador) y el último circuito (simulando la resistencia de alto valor óhmico con un transistor conectado como diodo). El Slew-Rate de bajada es exactamente igual en los tres casos. El Slew-Rate de subida es algo más rápido el del tercer circuito ($70 \text{ V}/\mu\text{s}$) y algo más lento en el último circuito ($14 \text{ V}/\mu\text{s}$), pero podríamos decir que son aceptablemente parecidos.

Para finalizar el estudio del Slew-Rate en estos cuatro circuitos vamos a mostrar la corriente que circula por el condensador de carga, que está directamente relacionada con el tiempo de carga. En el caso de operación en Clase A vemos que la curva que

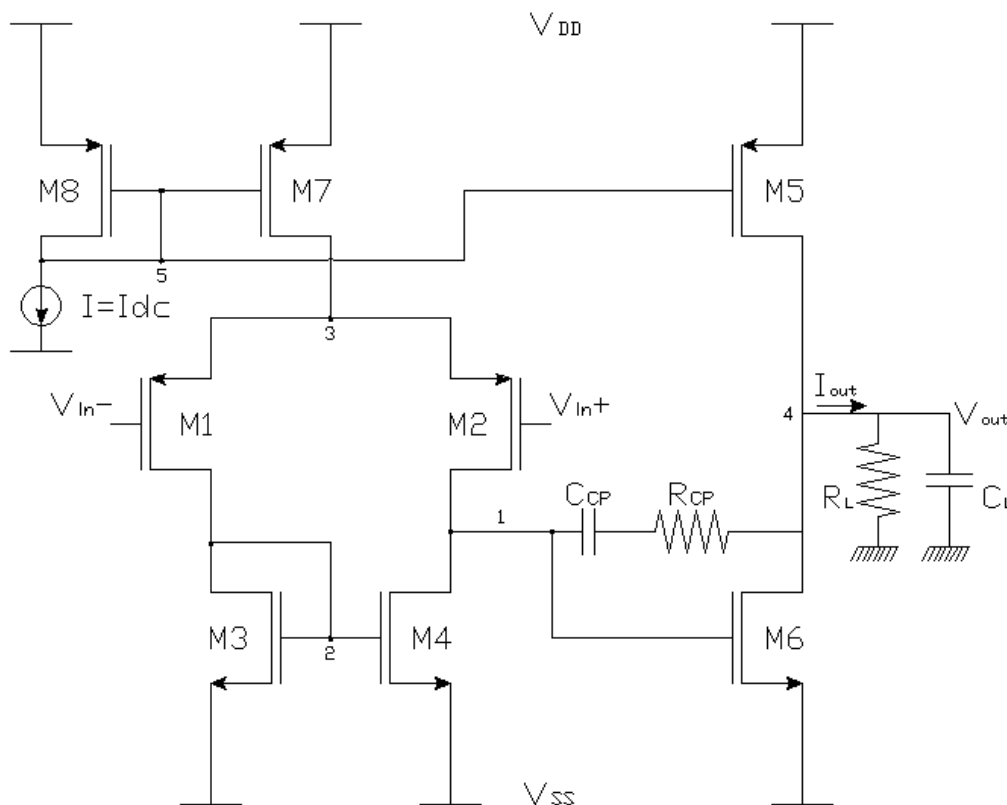
sigue la corriente es la misma que en un espejo de corriente y con valor próximo a I_{dc} . En el caso de operación en Clase AB hay unos picos de corriente que cargan el condensador mucho más rápido.



2.II Conversión de un OTA Miller

Introducción

Partimos de un OTA de topología Miller como la mostrada en la siguiente figura. Vemos que la principal parte del OTA está compuesta por el par diferencial de los transistores PMOS M1 y M2 junto con la carga activa formada por el espejo de corriente creado por los transistores NMOS M3 Y M4. El transistor M8 crea un espejo de corriente con M7 que sirve para alimentar al par diferencial y a su carga activa. Hasta aquí tenemos una topología análoga a la estudiada en la sección 1.III. La diferencia es la etapa de salida del OTA que nos ocupa, se trata de amplificador inversor formado por M6. Éste está alimentado por otro espejo que se forma de nuevo con M8, junto con M5. El amplificador creado por M6 y M5 da cierta ganancia. Esta etapa tiene conectada su salida con su entrada (salida del par diferencial, nodo 1) mediante un condensador C_{CP} (y una resistencia R_{CP}).

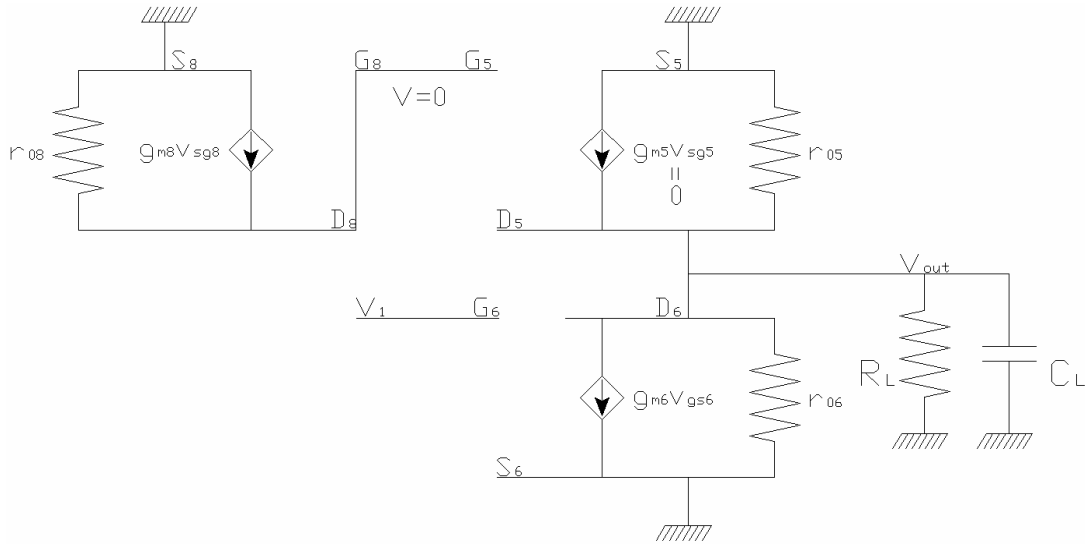


La primera etapa, como ya hemos visto, tiene una ganancia:

$$G_{m1} = g_{m1} \Rightarrow |A_{v1}| = G_{m1} \cdot R_{out1} = \frac{g_{m1}}{g_{024}}$$

$$R_{out1} = r_{02} // r_{04} = (g_{024})^{-1} \quad g_{024} = g_{02} + g_{04}$$

Para la segunda etapa utilizamos de nuevo los modelos de pequeña señal.



De aquí deducimos que la segunda etapa tiene una ganancia:

$$G_{m2} = g_{m6} \Rightarrow |A_{v2}| = G_{m2} \cdot R_{out2} = \frac{g_{m6}}{g'_L}$$

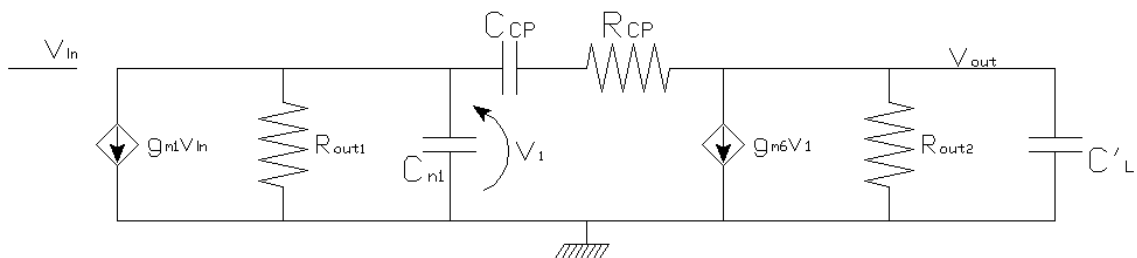
$$R_{out2} = R_L // r_{05} // r_{06} = (g'_L)^{-1} \quad g'_L = g_L + g_{05} + g_{06}$$

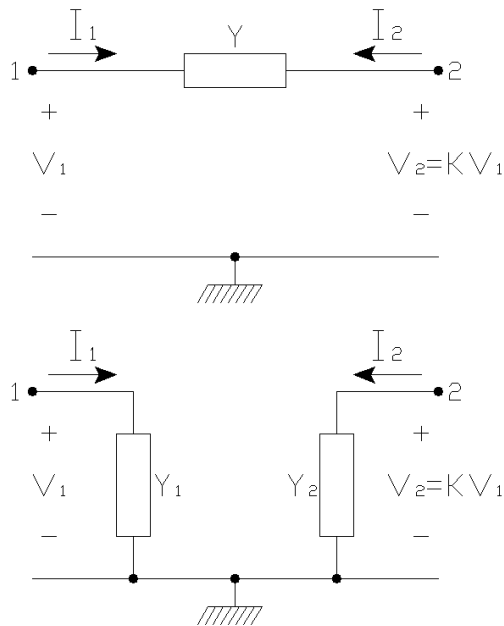
Si el OTA no tuviera el lazo de realimentación compuesto por el condensador de compensación, tendríamos tres polos correspondientes al nodo 1, nodo 2 y nodo 4 con las siguientes frecuencias:

$$f_{n1} = \frac{g_{024}}{2\pi C_{n1}} \quad f_{n2} = \frac{g_{m3}}{2\pi C_{n2}} \quad f_{n4} = \frac{g'_L}{2\pi(C_{n4} + C_L)}$$

No hay un polo que domine claramente ya que f_{n2} y f_{n4} son próximos, por eso utilizamos el condensador de compensación.

El circuito general en pequeña señal y para alta frecuencia que nos queda es el siguiente:





Recordamos el teorema de Miller:

Podemos sustituir la admitancia Y del primer esquema por dos admitancias, Y_1 entre el nodo 1 y tierra y Y_2 entre el nodo 2 y tierra.

$$I_1 = Y(V_1 - V_2) = Y \cdot V_1(1 - V_2/V_1) = Y \cdot V_1(1 - K)$$

$$I_1 = Y_1 \cdot V_1 \Rightarrow Y_1 = Y(1 - K)$$

$$I_2 = Y(V_2 - V_1) = Y \cdot V_2(1 - V_1/V_2) = Y \cdot V_2(1 - 1/K)$$

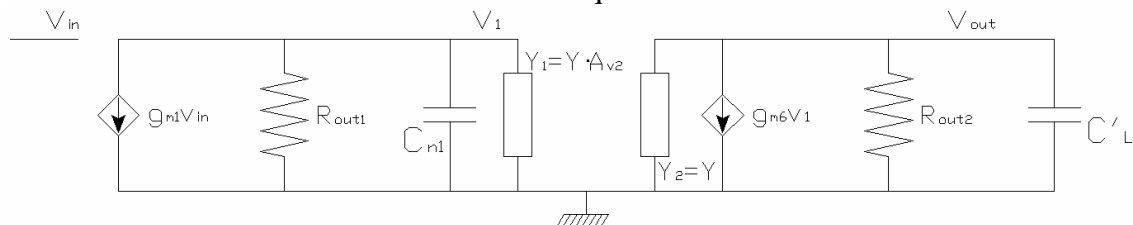
$$I_2 = Y_2 \cdot V_2 \Rightarrow Y_2 = Y(1 - 1/K)$$

En nuestro caso podríamos aproximar que $V_{out} \approx |A_{v2}| \cdot V_1$ y teniendo en cuenta que $|A_{v2}| \gg 1$ tendríamos:

$$Y_1 = Y \cdot (1 - A_{v2}) \cong |A_{v2}| \cdot Y$$

$$Y_2 = Y \cdot (1 - 1/A_{v2}) \cong Y$$

Por todo esto tendríamos un circuito equivalente en AC:



Las admitancias finales que tenemos en cada malla son:

$$Y_{1T} = Y_{out1} + Y_{Cn1} + Y_1 = g_{024} + sC_{n1} + (|A_{v2}| \cdot g_{RCP} + |A_{v2}| \cdot sC_{CP}) =$$

$$= (g_{02} + g_{04} + |A_{v2}| \cdot g_{RCP}) + s(C_{n1} + |A_{v2}| \cdot C_{CP})$$

$$Y_{2T} = Y_{out2} + Y_{C'L} + Y_2 = (g_{05} + g_{06} + g_L) + s(C_{n4} + C_L) + (g_{RCP} + sC_{CP}) =$$

$$= (g_{05} + g_{06} + g_L + g_{RCP}) + s(C_{n4} + C_L + C_{CP})$$

Esto supone que los polos formados por el nodo 1 y el nodo 4 tengan la siguiente frecuencia:

$$f_{n1} = \frac{g_{02} + g_{04} + |A_{v2}| \cdot g_{RCP}}{2\pi(C_{n1} + |A_{v2}| \cdot C_{CP})} \xrightarrow{|A_{v2}| \cdot C_{CP} \gg C_{n1}} \cong \frac{g_{02} + g_{04} + |A_{v2}| \cdot g_{RCP}}{2\pi|A_{v2}| \cdot C_{CP}}$$

$$f_{n4} = \frac{g_{05} + g_{06} + g_L + g_{RCP}}{2\pi(C_{n4} + C_L + C_{CP})} \xrightarrow{C_L \cdot g_{RCP} \gg C_{n4}} \cong \frac{g_{05} + g_{06} + g_L + g_{RCP}}{2\pi(C_L + C_{CP})}$$

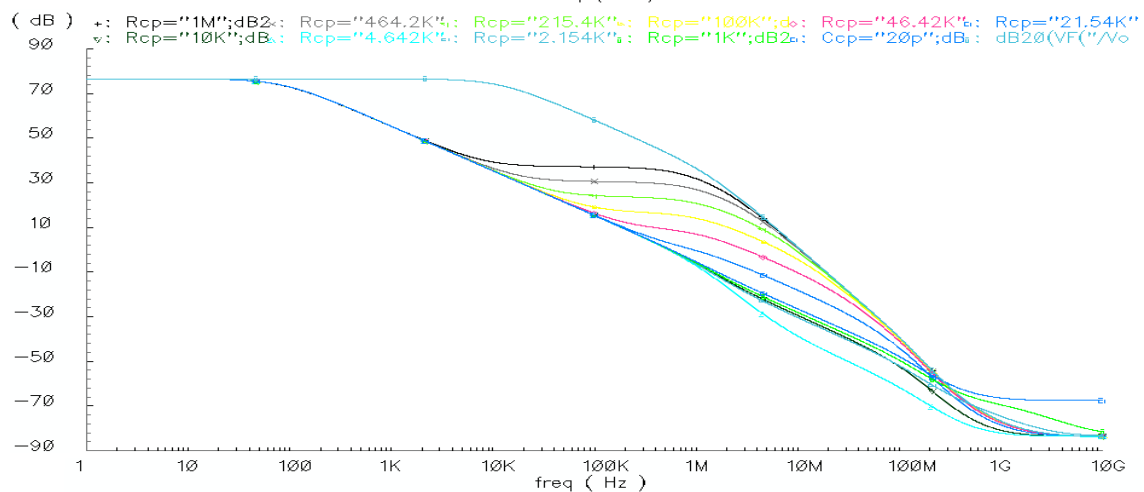
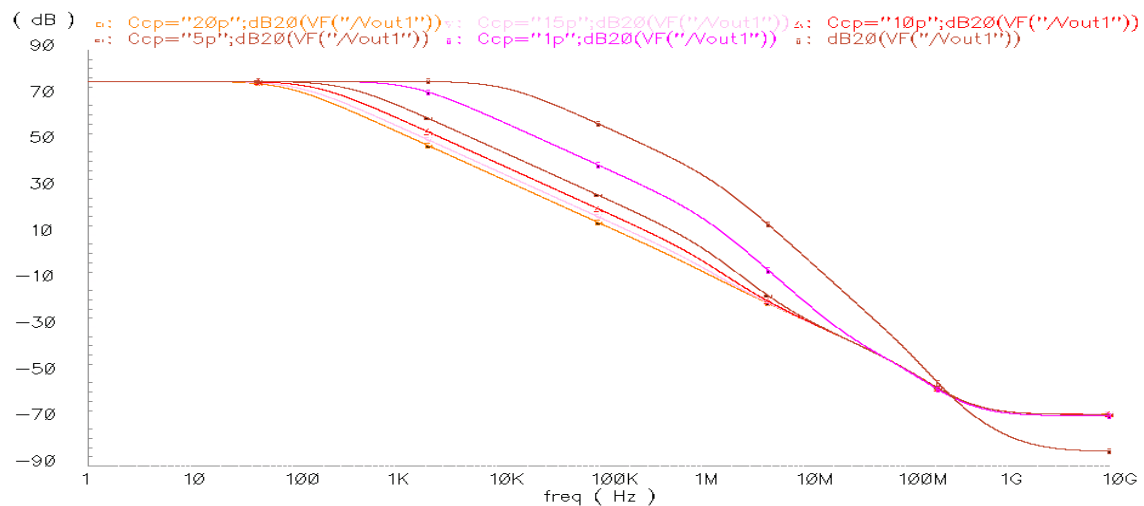
El nodo 2 genera otro polo en la frecuencia:

$$f_{n2} = \frac{g_{m3}}{2\pi C_{n2}}$$

Por tanto tenemos que el polo dominante es el del nodo 1, quedándonos un producto ganancia por ancho de banda:

$$GBW = |A_{v1}| \cdot |A_{v2}| \cdot f_{n1} = |A_{v1}| \cdot |A_{v2}| \cdot \frac{g_{02} + g_{04} + |A_{v2}| \cdot g_{RCP}}{2\pi |A_{v2}| \cdot C_{RCP}} = |A_{v1}| \cdot \frac{g_{02} + g_{04} + |A_{v2}| \cdot g_{RCP}}{2\pi \cdot C_{RCP}}$$

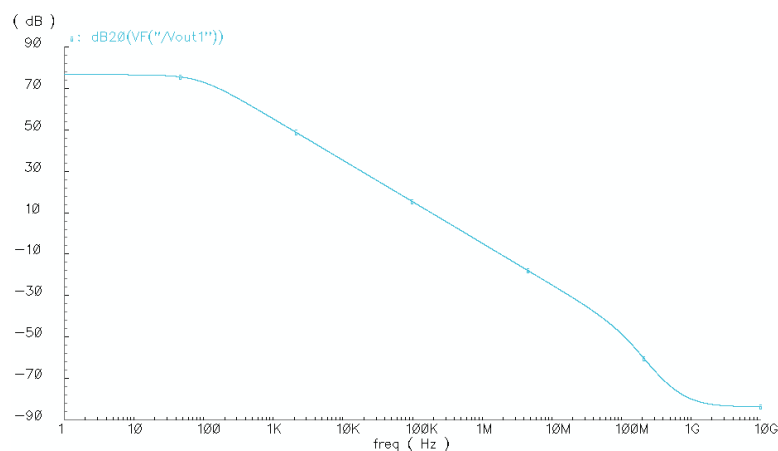
$$GBW = \frac{g_{m1}}{g_{024}} \cdot \frac{g_{02} + g_{04} + |A_{v2}| \cdot g_{RCP}}{2\pi \cdot C_{RCP}} = \frac{g_{m1}}{g_{02} + g_{04}} \cdot \frac{g_{02} + g_{04} + |A_{v2}| \cdot g_{RCP}}{2\pi \cdot C_{RCP}}$$



En la primera simulación observamos claramente el efecto del condensador de compensación. El trazo marrón es el que mayor ancho de banda tiene y corresponde a la simulación sin el condensador de compensación. Las siguientes trazas se han calculado con el condensador de compensación, estando más próximas a la primera las de valores pequeños de condensador. Cuanto más alto es el valor de la capacidad, más bajo es el polo dominante, como hemos visto en el cálculo anterior. El segundo polo se mantiene en todas en un valor de frecuencia constante, próxima al megahercio.

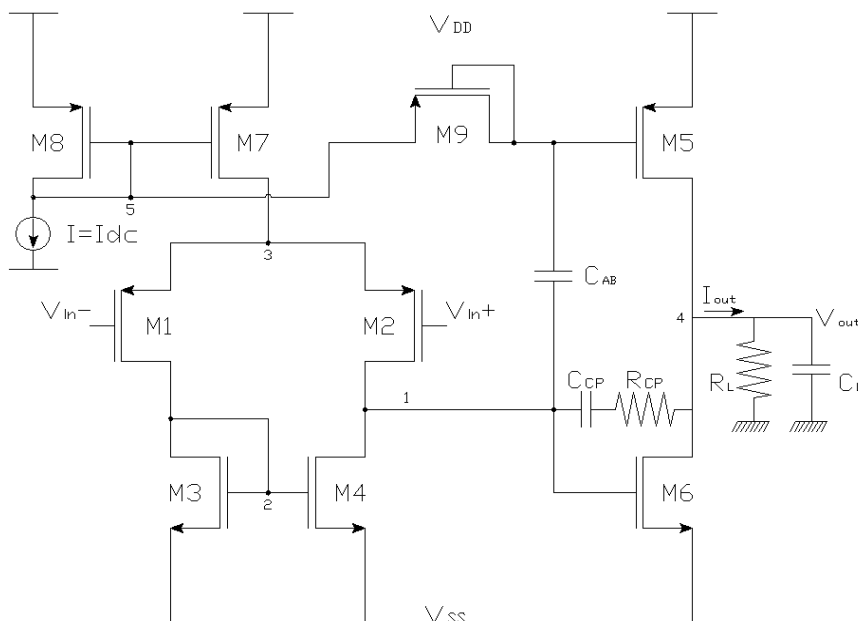
Debemos mencionar que aparece un cero que depende directamente del valor de la resistencia. En la segunda simulación ($C_{CP}=20\text{pF}$) vemos como afecta el cero al diagrama de Bode. Cuando la resistencia aumenta, el cero disminuye de frecuencia.

Escogiendo los valores $C_{CP}=20\text{pF}$ y $R_{CP}=13\text{K}\Omega$ conseguimos que el cero aparezca justo a la frecuencia del segundo polo, haciendo que se anulen entre ellos.



Conversión a Clase AB

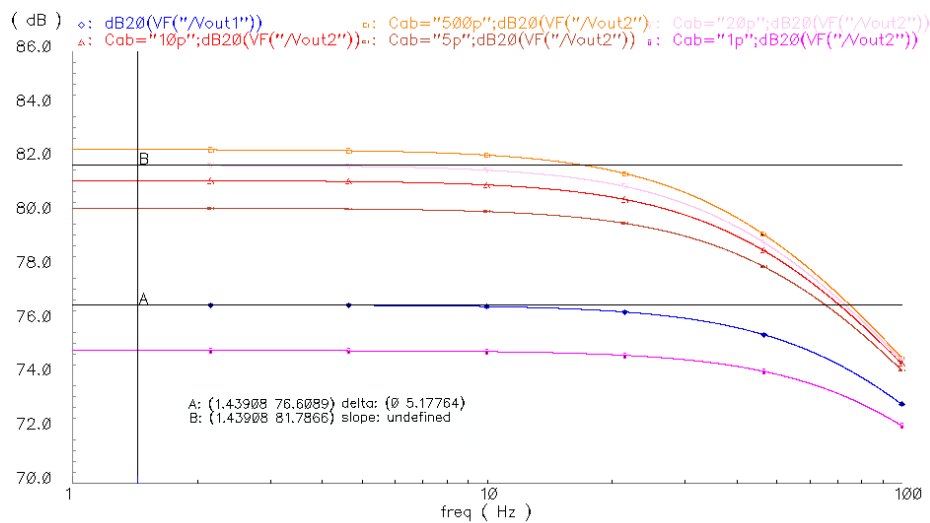
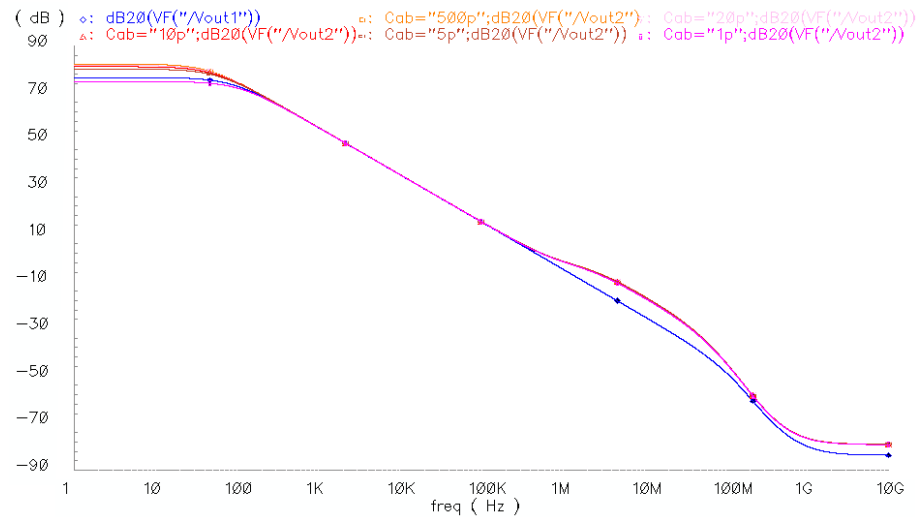
Para conseguir que el OTA Miller funcione en Clase AB hemos hecho la misma modificación que vimos en el apartado 2.II. Conseguimos entregar mucha más corriente de salida que en Clase A. En la figura se ve que la modificación consta de un nuevo transistor M9 en configuración de alta resistencia y el condensador C_{AB} que actuará como una fuente de tensión constante.



Para todas las simulaciones hemos utilizado valores de $C_{CP}=20\text{pF}$ y $R_{CP}=13\text{K}\Omega$ para poder comparar los resultados. Simulamos con distintos valores de C_{AB} para ver cuál nos interesa más, teniendo en cuenta que aumentar la capacidad del condensador supone un coste importante de superficie de silicio.

C_L es de 25pF y no hay R_L .

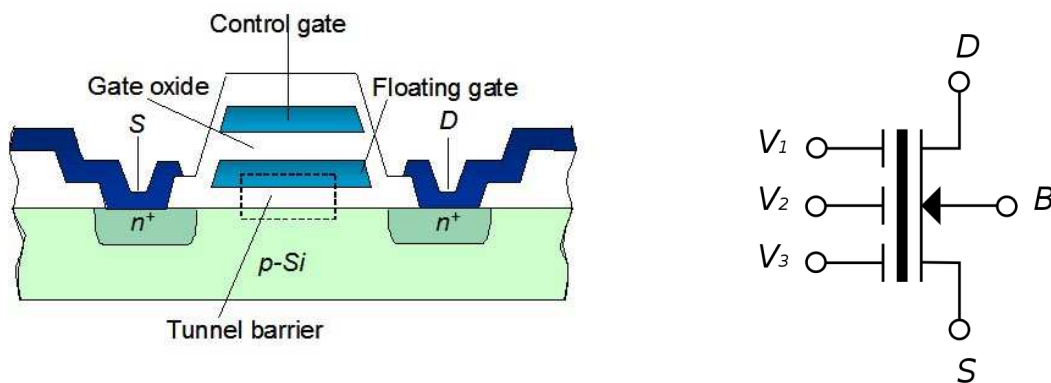
En las gráficas de resultados vemos claramente que la inserción del condensador y la resistencia elevada (transistor M9) supone un incremento en la ganancia de tensión de salida. Con un valor de 20 pF obtenemos prácticamente la misma ganancia que con 500 pF, así que escogeremos un C_{AB} de 20 pF.



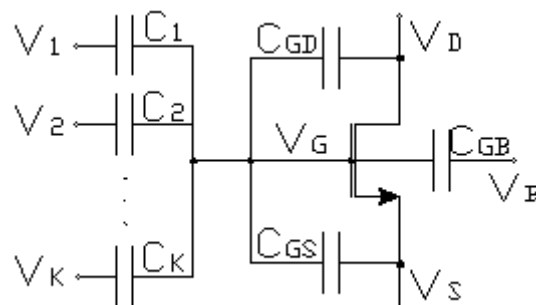
3 - TÉCNICAS DE FGT Y QFGT

3.1 Transistores de puerta flotante

Los transistores MOSFET de puerta flotante (Floating Gate Transistor) se caracterizan por que su puerta está flotando entre el canal y un conjunto de k puertas de control. Entre cada una de estas puertas de control y la puerta flotante se crea un condensador, de forma que aparecen k condensadores. En cada una de estas puertas podemos aplicar una tensión distinta. En la siguiente figura vemos como la puerta flotante está entre el canal y la puerta de control, pero podemos colocar más de una puerta de control en fabricación. El símbolo eléctrico que utilizamos para representar dicho tipo de transistores MOSFET es muy representativo de la idea de funcionamiento, se ven las puertas de control y queda una puerta flotante en medio.



En la siguiente figura se muestra el circuito equivalente al transistor N-MOS de puerta flotante con k entradas. Vemos que hemos dibujado tanto los condensadores específicos que los transistores de puerta flotante tienen en su puerta como los condensadores parásitos típicos de todos los transistores MOS.



Suponemos que la carga inicial almacenada en la puerta flotante es nula, de manera que la tensión existente en la puerta flotante cumple la siguiente expresión:

$$V_G = \frac{C_1 V_1 + C_2 V_2 + \dots + C_K V_K + C_{GS} V_S + C_{GD} V_D + C_{GB} V_B}{C_T}$$

$$V_G = \frac{\left(\sum_{j=1}^K C_j V_j \right) + C_{GS} V_S + C_{GD} V_D + C_{GB} V_B}{C_T}$$

Podemos imponer la hipótesis de que el valor de los transistores formados entre las puertas de control y la puerta flotante es mucho mayor que el valor de los transistores parásitos. Entonces podemos expresar la capacidad total como:

$$C_T = \left(\sum_{j=1}^K C_j \right) + C_{GS} + C_{GD} + C_{GB} \approx \sum_{j=1}^K C_j$$

Reordenamos la ecuación de la tensión en la puerta del transistor como suma ponderada de las k tensiones de las puertas de control:

$$V_G = a_1 \cdot V_1 + a_2 \cdot V_2 + \dots + a_K \cdot V_K$$

$$a_n = \frac{C_n}{C_T} \approx \frac{C_n}{\sum_{j=1}^K C_j}$$

Los coeficientes que ponderan las señales son justamente el valor del condensador al que aplicamos la señal entre la suma de todos los condensadores que afectan a la puerta de entrada. Como hemos supuesto que los condensadores de acoplo son mucho mayores que los parásitos podemos decir que los coeficientes son el cociente entre cada uno de los condensadores de acoplo entre la suma de todos los condensadores de acoplo.

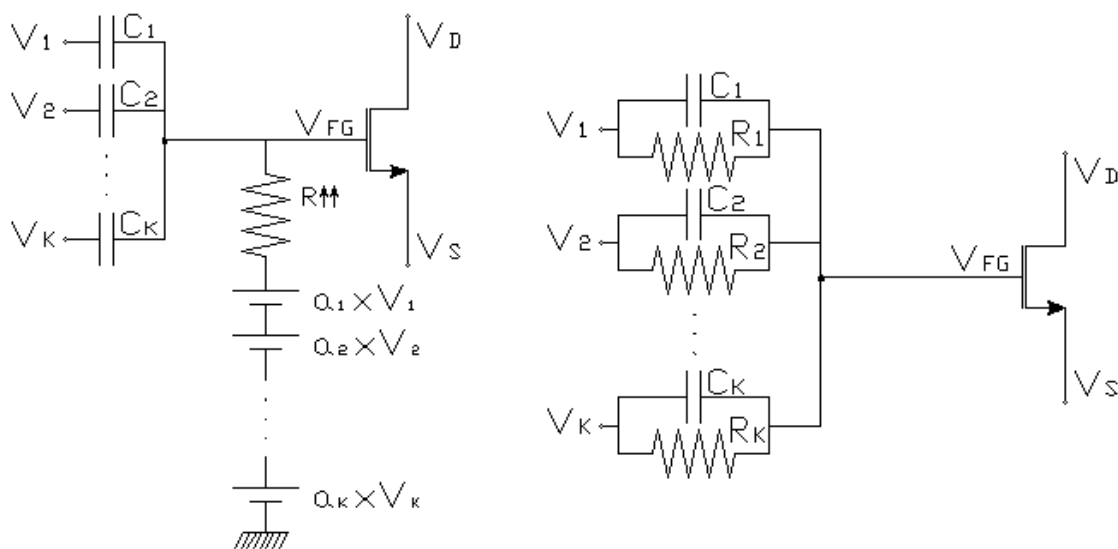
Es importante reseñar que a efectos prácticos lo que estamos creando en la puerta del transistor es un divisor de tensión capacitivo, de manera que las señales de entrada son atenuadas mediante cierto coeficiente a_j .

Durante este texto veremos simulaciones realizada con este esquema equivalente de los transistores MOSFET de puerta flotante. Para poder realizar la simulación de manera correcta debemos tener en cuenta que nuestro simulador (al igual que la gran mayoría) trata a los condensadores en el análisis DC como circuitos abiertos. Fijándonos en el esquema equivalente del FGT vemos que la puerta flotante queda aislada para el simulador, por lo que éste tendrá problemas de convergencia.

Una solución adecuada para este problema es introducir la tensión de polarización de manera manual, mediante k fuentes de tensión, en serie, de valor proporcional a la tensión introducida en cada puerta de control. Esa proporción será justamente el coeficiente a_j correspondiente.

Hay tener en cuenta que únicamente queremos fijar la tensión en DC y debemos procurar que ésta no afecte al análisis en AC, por lo que tenemos que acoplar las fuentes de tensión a la puerta del transistor mediante una resistencia de alto valor óhmico.

En el primer esquema de la gráfica que mostramos a continuación queda reflejado lo explicado anteriormente.



El segundo esquema pertenece a un método alternativo para conseguir fijar la señal en DC para el simulador. La idea es parecida, usar resistencias de alto valor óhmico para fijar el nivel de DC. Colocamos en paralelo las resistencias con los condensadores. De nuevo para análisis en AC estas resistencias no afectan (se comportan como un circuito abierto comparadas con la impedancia de los condensadores). En DC tenemos un divisor de tensión para cada una de las entradas de por lo que podemos expresar V_{FG} como la suma de las aportaciones de cada entrada multiplicadas por el coeficiente que crea el divisor de tensión en cada caso.

$$V_G = a_1 \cdot V_1 + a_2 \cdot V_2 + \dots + a_K \cdot V_K$$

Donde cada coeficiente a_j se calcula de la siguiente manera:

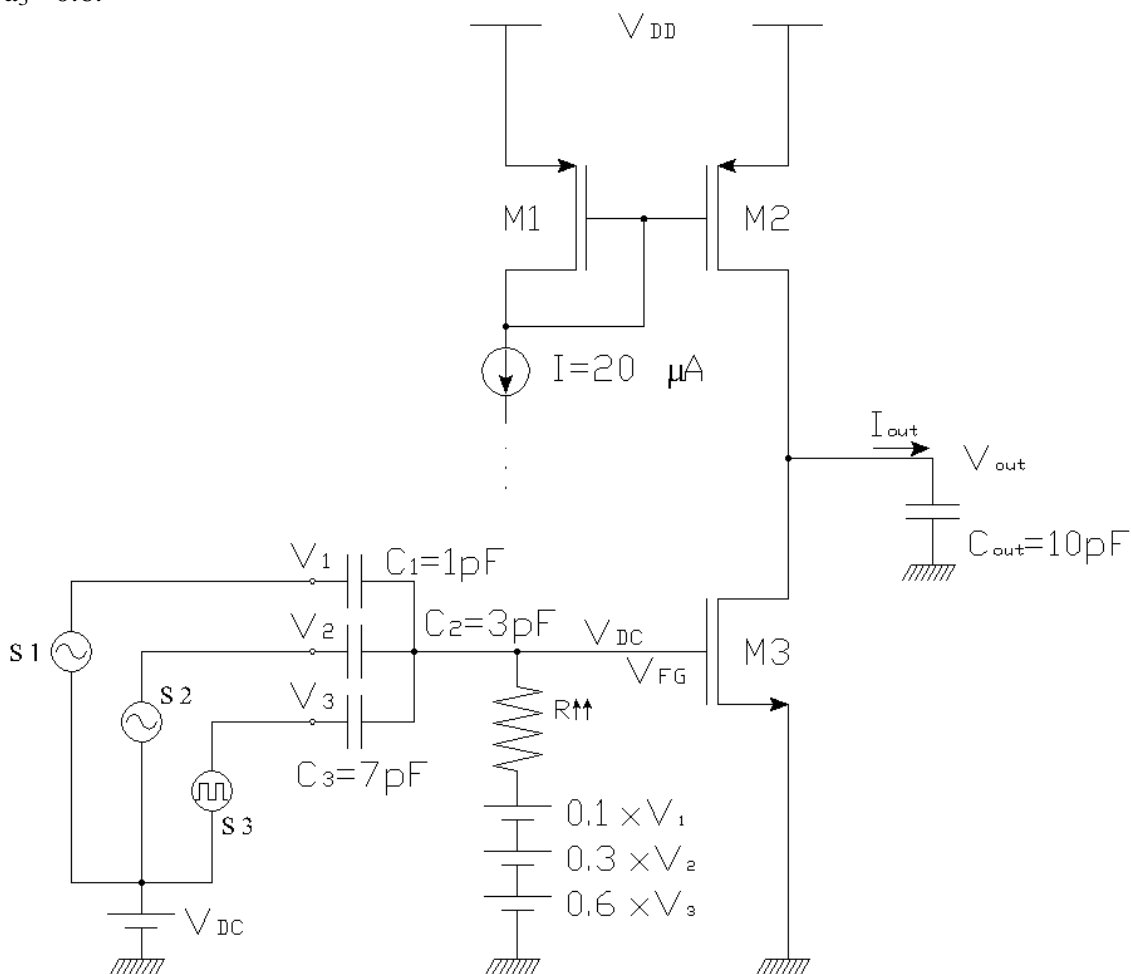
$$a_j = \frac{1}{1 + \frac{R_j}{\text{(paralelo de todas resistencias excepto } R_j\text{)}}}$$

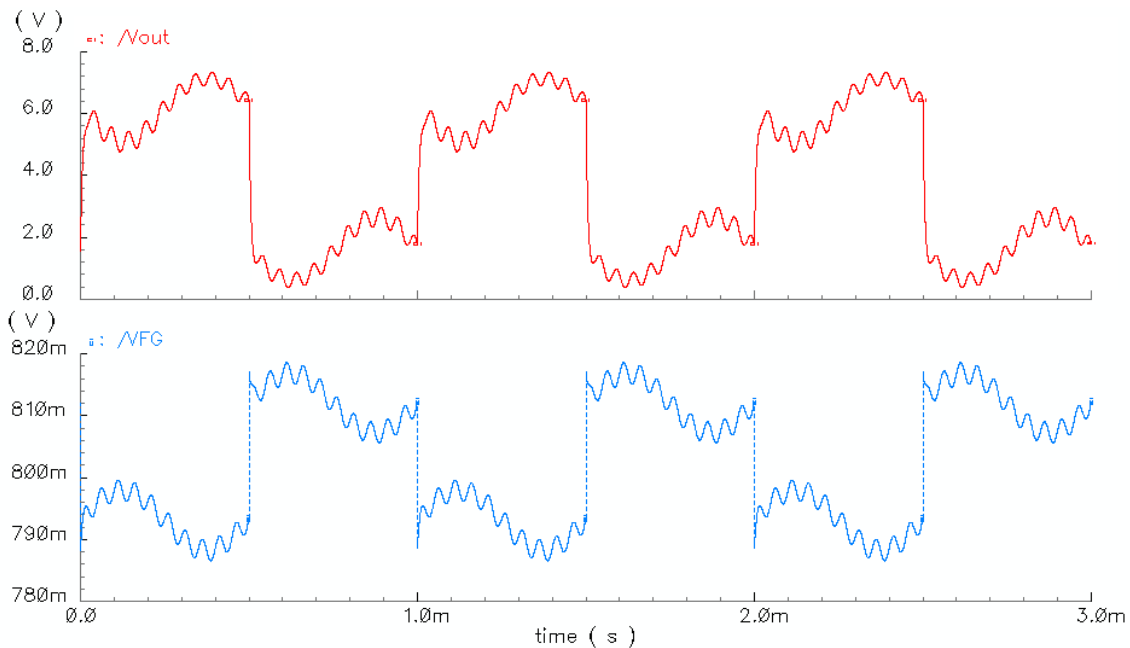
Obteniendo una tensión V_{FG} de la siguiente forma:

$$V_{FG} = \frac{1}{1 + \frac{R_1}{R_2 \parallel R_3 \parallel \dots \parallel R_K}} V_1 + \frac{1}{1 + \frac{R_2}{R_1 \parallel R_3 \parallel \dots \parallel R_K}} V_2 + \dots + \frac{1}{1 + \frac{R_K}{R_1 \parallel R_2 \parallel \dots \parallel R_{K-1}}} V_K$$

Hay que ajustar el valor de las resistencias de manera que cada a_j sea del mismo valor que el que obteníamos con el divisor de tensión capacitivo.

Como primer ejemplo de posibles aplicaciones de este tipo de transistores vamos a realizar una combinación lineal de 3 señales. Para ello vamos a utilizar un transistor NMOS de puerta flotante en un circuito amplificador inversor sencillo como el que vemos en la figura. Utilizamos un espejo de corriente (M1 y M2) para polarizar el transistor M3. Las señales de entrada son dos senos (frecuencias de 20 kHz y 2 kHz, y de amplitud 20 mV para ambas) y una onda cuadrada (de frecuencia 1 kHz y de amplitud 20 mV también). Las señales las introducimos a cada una de las puertas de control. Para que el transistor este bien polarizado aplicamos un nivel de DC de 800 mV a las señales. Suponemos que el transistor ha sido fabricado de manera que las entre las puertas de control y la puerta flotante se crean unos condensadores de capacidad 1 pF, 3 pF y 6 pF. Los coeficientes por tanto tendrán los siguientes valores: $a_1=0.1$; $a_2=0.3$; $a_3=0.6$.





Como podemos observar en la gráfica, en la puerta del transistor tenemos una señal igual a la suma ponderada de las tres señales. Cada una está afectada por los coeficientes que hemos calculado anteriormente. Como las tres señales poseen la misma tensión en DC, la tensión en DC que tenemos en la puerta del transistor es lógicamente la misma. En la salida tenemos la señal amplificada e invertida.

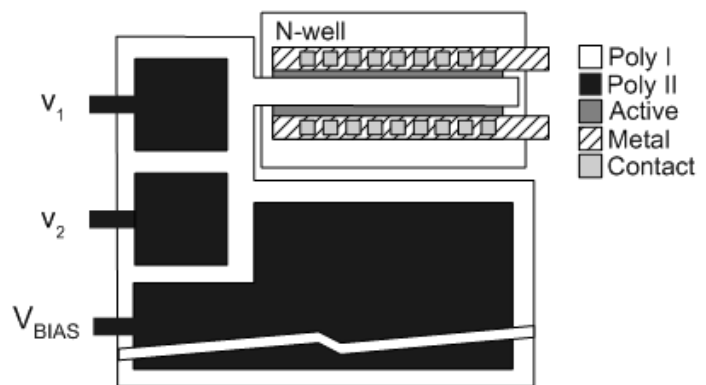
Otra aplicación inmediata de este tipo de transistores sería usarlos para adaptar las señales de entrada mediante la división capacitiva de manera que podamos aplicar señales grandes a la entrada sin saturar nuestro circuito (que podría estar usando tensiones de alimentación bajas para reducir el consumo). Esto es muy útil para poder utilizar señales rail-to-rail sin correr el peligro de saturar el sistema.

Es importante mencionar que las memorias flash (EPROM), memorias de lectura programables, utilizan estos tipos de transistores. Utilizan la habilidad de los transistores de puerta flotante para almacenar carga. Son memoria que pueden almacenar datos hasta 20 años sin alimentación.

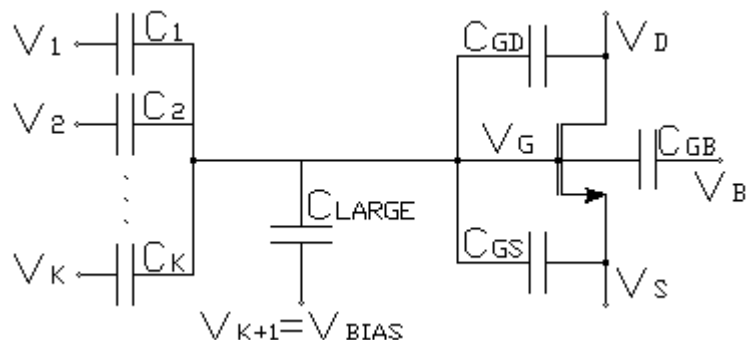
3.II Transistores de puerta cuasiflotante

Un problema de los transistores de puerta flotante es que para acercar la tensión de puerta a una de las tensiones de alimentación, se necesita un transistor de valor muy elevado y por tanto de grandes requerimientos de área. Se muestra la situación en la figura siguiente, donde se muestra el layout de un transistor PMOS de puerta flotante en tecnología N-well con dos entradas normales y una tercera mucho con una capacidad mucho mayor.

Como podemos ver en el layout, la puerta de control que corresponde a la tensión V_{BIAS} tiene una superficie mucho mayor que el resto. De hecho en la figura se ve con un trazo discontinuo para mostrar que la dimensión ha sido reducida para poder mostrarlo en la figura. Gracias a esa mayor dimensión se consigue que la capacidad que aparece entre dicha puerta y la puerta flotante sea mucho mayor a las que aparecen en el resto de puertas.



El siguiente esquema muestra el circuito equivalente de un transistor NMOS de puerta flotante con K puertas de control y una puerta K+1. La puerta K+1 corresponde la de mayor superficie, es decir, a la que mayor capacidad ofrece (C_{LARGE}). Para distinguirla del resto la colocamos aparte. De nuevo volvemos a mostrar las capacidades parásitas que presentan los transistores MOSFET.



Mencionar que la creación de la capacidad C_{LARGE} supone dos inconvenientes importantes:

- Utilizamos un área considerable de silicio para poder alcanzar un valor de capacidad elevado.
- Si el transistor se usa a la entrada de un par diferencial en un amplificador, esta capacidad va a disminuir el producto ganancia por ancho de banda.

Para solucionar estos problemas, como ya veremos más adelante, utilizaremos en vez del condensador C_{LARGE} una resistencia de alto valor óhmico, de manera que la puerta ya no estará totalmente flotante, dando lugar al transistor de puerta cuasiflotante.

De momento tenemos una situación idéntica a la vista en el caso de transistores de puerta flotante, los terminales están capacitivamente acoplados a la puerta. Suponemos que la carga inicial almacenada es nula, de manera que la tensión existente en la puerta cumple la siguiente expresión:

$$V_G = \frac{C_1 V_1 + C_2 V_2 + \dots + C_K V_K + C_{K+1} V_{K+1} + C_{GS} V_S + C_{GD} V_D + C_{GB} V_B}{C_T}$$

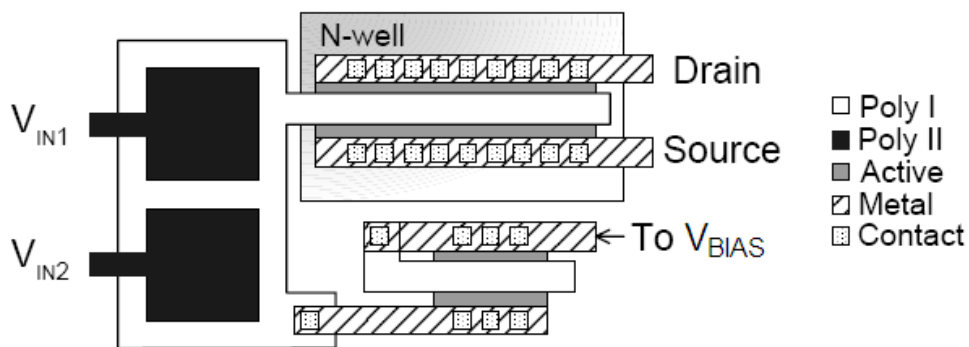
$$V_G = \frac{\left(\sum_{j=1}^{K+1} C_j V_j \right) + C_{GS} V_S + C_{GD} V_D + C_{GB} V_B}{C_T}$$

Como ya hemos mencionado, fijamos una tensión en continua V_{BIAS} a la entrada $K+1$ (la de mayor capacidad, C_{LARGE}). Podemos reescribir la tensión V_G de la siguiente manera:

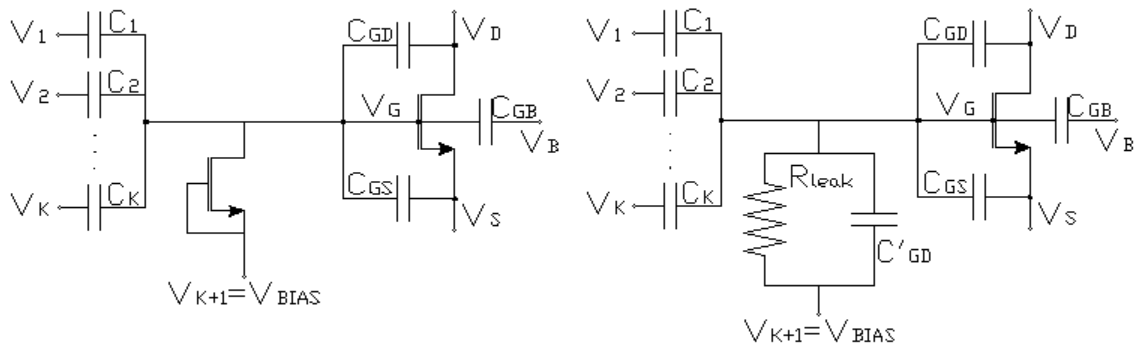
$$V_G = \frac{C_{LARGE} V_{BIAS}}{C_T} + \frac{\left(\sum_{j=1}^K C_j V_j \right) + C_{GS} V_S + C_{GD} V_D + C_{GB} V_B}{C_T}$$

Recordamos que realmente C_{LARGE} se sustituye por una resistencia de alto valor resistivo. Entonces tenemos que se cumple el divisor de tensión capacitivo para todas las entradas, menos para V_{BIAS} . En DC la tensión que aparece en la puerta cuasiflotante es precisamente V_{BIAS} . Para implementar esa resistencia podemos utilizar un transistor MOS cortocircuitado. Gracias a esta idea conseguimos reducir de manera importante la superficie de silicio necesaria. Debemos fijarnos que esta resistencia existe realmente en el transistor, no es como en el caso anterior que utilizábamos una resistencia para fijar el nivel de DC cuando hacíamos la simulación para ayudarle a converger al simulador.

A continuación mostramos el layout del transistor con el que hemos explicado este apartado. Hemos cambiado la parte de la capacidad correspondiente a la tensión V_{BIAS} por un transistor conectado como diodo.



El circuito equivalente entonces de nuestro transistor de puerta casi flotante cambia, quedándonos de la siguiente manera:



La tensión que tenemos ahora en V_G dependerá del valor de R_{leak} y de C_{GD} , por lo que tenemos:

$$V_G = \frac{sR_{leak}}{1 + sR_{leak}C_T} \left[\left(\sum_{j=1}^K C_j V_j \right) + C_{GS}V_S + C_{GD}V_D + C_{GB}V_B \right]$$

$$C_T = \sum_{j=1}^K C_j + C_{GS} + C_{GD} + C_{GB} + C'_{GD}$$

La diferencia que vemos con el modelado del transistor de puerta cuasiflotante respecto de la que hicimos con el transistor de puerta flotante es que nos encontramos ante un filtro paso alto de frecuencia de corte $(2\pi R_{leak}C_T)^{-1}$. Es importante ver que esta frecuencia es muy pequeña, ya que el valor de R_{leak} es muy elevado. Las frecuencias de trabajo que vamos a manejar son suficientemente grandes como para asumir la siguiente aproximación:

$$\frac{sR_{leak}}{1 + sR_{leak}C_T} \approx \frac{1}{C_T} \Rightarrow V_G \approx \frac{\left(\sum_{j=1}^K C_j V_j \right) + C_{GS}V_S + C_{GD}V_D + C_{GB}V_B}{C_T}$$

Esto hace que el valor exacto de R_{leak} no sea realmente importante, ni sus posibles variaciones por no ser una resistencia propiamente dicha, por lo que la utilización de un transistor conectado como diodo es válida.

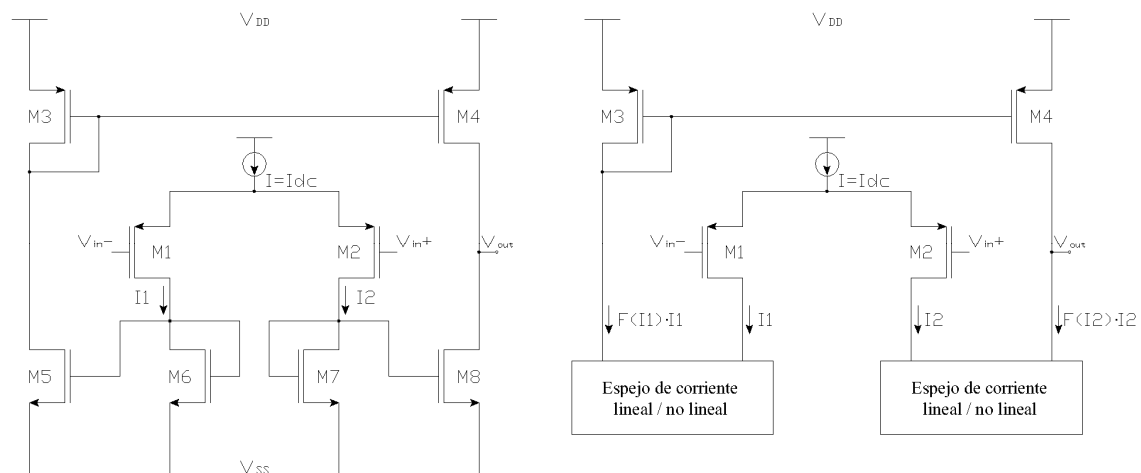
La función de R_{leak} es fijar la tensión en DC que hay en la puerta del transistor. La tensión que aparece en AC es la superposición de las tensiones del resto de las entradas sobre la tensión en DC.

Normalmente fijamos V_{BIAS} a la tensión de alimentación negativa. Con esto conseguimos que sea posible que la tensión en la puerta sea menor que la alimentación negativa y que no suponga un problema (siempre y cuando mantengamos V_G por encima de V_{SS} una cantidad suficiente para que el diodo parásito entre zona activa y bulk del transistor que crea R_{leak} no conduzca)

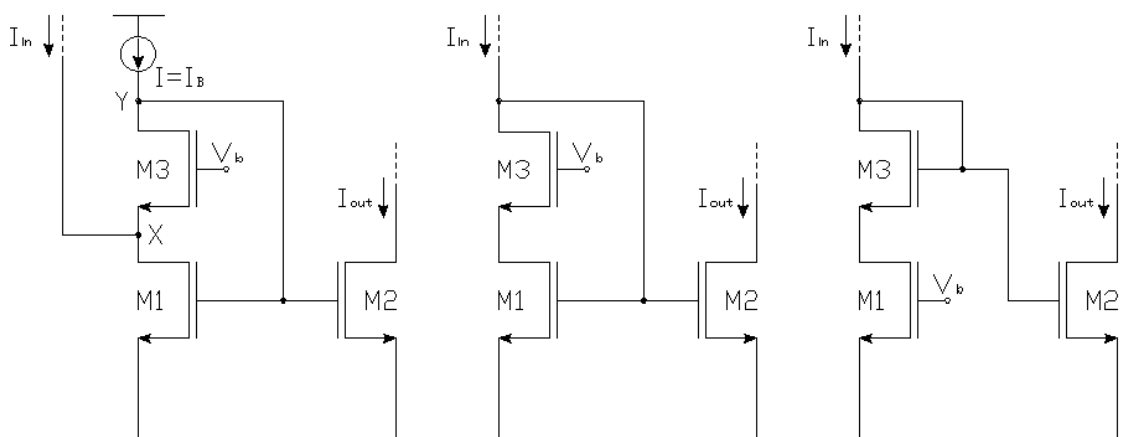
4 – ESPEJOS NO LINEALES

Vamos a presentar tres topologías de espejos que trabajan de manera que la corriente de salida, dependiente de la corriente de entrada, no es lineal. Habrá aplicaciones donde la corriente de salida tenga que ser exactamente igual a la corriente de entrada, pero otras veces interesa obtener corrientes de salida mucho mayores. Recordamos el caso de la operación en Clase AB, nos interesaba que la corriente que circulaba por el transistor que cargaba el condensador aumentara, para conseguir incrementar el Slew-Rate. Algo parecido podemos conseguir con los espejos no lineales, de manera que al entregar una corriente que sea dependiente no lineal de la corriente a copiar, conseguiremos entregar mucha más corriente.

En la siguiente figura vemos una posible aplicación de los espejos no lineales. Conseguimos que la corriente de salida dependa de la entrada, pero de manera no lineal. Más adelante estudiaremos en detalle estas topologías.



Ahora nos centraremos en el estudio de los tres tipos de espejos no lineales que vamos a utilizar a lo largo de este texto. Hasta ahora utilizábamos dos transistores para crear un espejo de corriente lineal, ahora necesitaremos tres transistores.



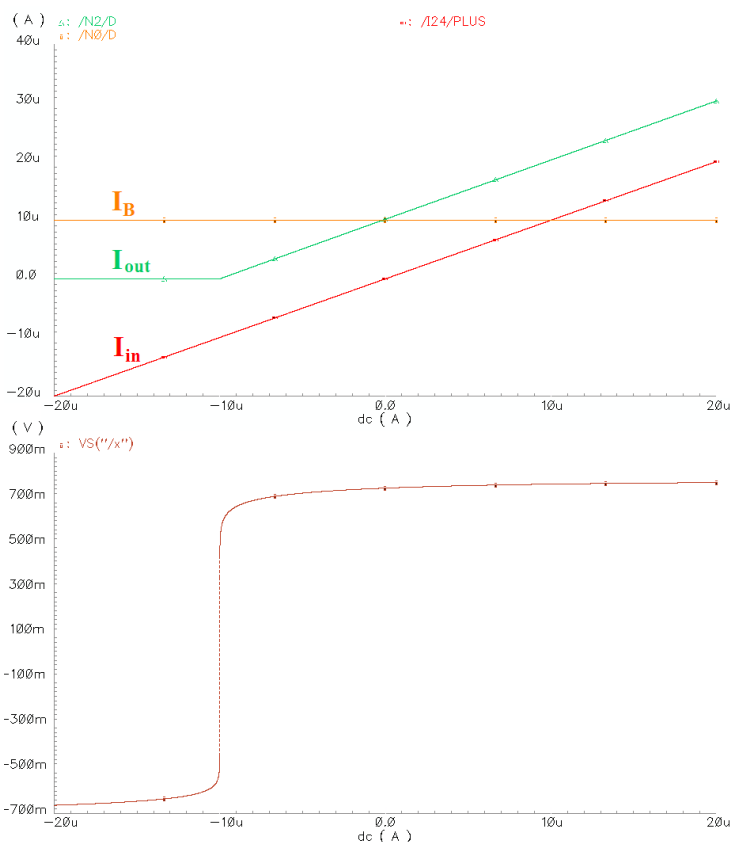
4.I Sensor de corriente FVF (FVFCS)

El primer espejo que vemos en la figura anterior corresponde a un sensor de corriente FVF o FVFCS (**F**lipped **V**oltage **F**ollower **C**urrent **S**ensor). Vamos a ver a continuación que puede trabajar de manera lineal y de manera no lineal.

Lineal

Mantenemos una corriente de polarización y fijamos una tensión V_b de manera que tanto M1 como M3 están operando en la región de saturación ($V_{DS} \geq V_{GS} - V_t$). X es el nodo de entrada de corriente (o sensado de corriente). Dicho nodo tiene una impedancia a tierra baja por lo que variaciones de la corriente que circula por X prácticamente no varían su tensión. Esto es debido al lazo de realimentación que sale de M1. La resistencia a tierra viene dada por el valor $1/g_{m1}$, y será del orden de 10^4 ohmios, por lo que variaciones de $10 \mu A$ suponen variaciones de $0.1V$. Grandes variaciones de corriente en el nodo X se traducen en pequeñas variaciones de tensión en el nodo Y, por lo que la corriente de salida (depende directamente de la tensión en Y) es una réplica de la corriente de entrada. Realmente la corriente de salida la podemos expresar como:

$$I_{out} = I_{in} + I_B$$



En la siguiente simulación vemos cómo se cumple lo visto teóricamente. La corriente de salida es justamente la suma de la corriente de polarización y la corriente de entrada. Esto se cumple siempre y cuando el transistor M1 conduzca, es decir, la corriente de entrada negativa no tiene que superar la corriente de polarización. En la segunda gráfica hemos expresado el valor de la tensión en X respecto a la corriente de entrada. Vemos que cuando la corriente es menor a $-I_B$ el transistor está en corte y pocos μA después está en saturación. La resistencia que ofrece el nodo X precisamente es la pendiente que tiene la curva de la segunda gráfica una vez el transistor M1 está en saturación. Vemos que es suficientemente pequeña.

No lineal

La particularidad de este circuito es su no linealidad cuando operamos en puntos cercanos a la situación de triodo para en transistor M1 y manteniendo M2 en saturación. Ahora la corriente de salida crece de manera no lineal con respecto a la entrada.

Recordamos que la corriente que circula por un transistor MOSFET en triodo es:

$$I_{DS} = \frac{1}{2} \mu_o \cdot C_{ox} \cdot \left(\frac{W}{L} \right) \cdot \left[2 \cdot (V_{GS} - V_t) \cdot V_{DS} - V_{DS}^2 \right] \cdot (1 + \lambda \cdot V_{DS})$$

Podríamos simplificar la ecuación anterior teniendo en cuenta que V_{DS} es muy pequeña.

$$I_{DS} = \beta \cdot (V_{GS} - V_t) \cdot V_{DS} \quad \text{donde:} \quad \beta = \mu_o \cdot C_{ox} \cdot \left(\frac{W}{L} \right)$$

Recordamos que la corriente que circula por un transistor MOSFET en saturación es:

$$I_{DS} = \frac{\beta}{2} (V_{GS} - V_t)^2 \cdot (1 + \lambda \cdot V_{DS})$$

Tenemos que:

$$I_{in} + I_B = \beta_1 \cdot (V_{GS1} - V_t) \cdot V_{DS1} \Rightarrow (V_{GS1} - V_t) = \frac{I_{in} + I_B}{\beta_1 \cdot V_{DS1}}$$

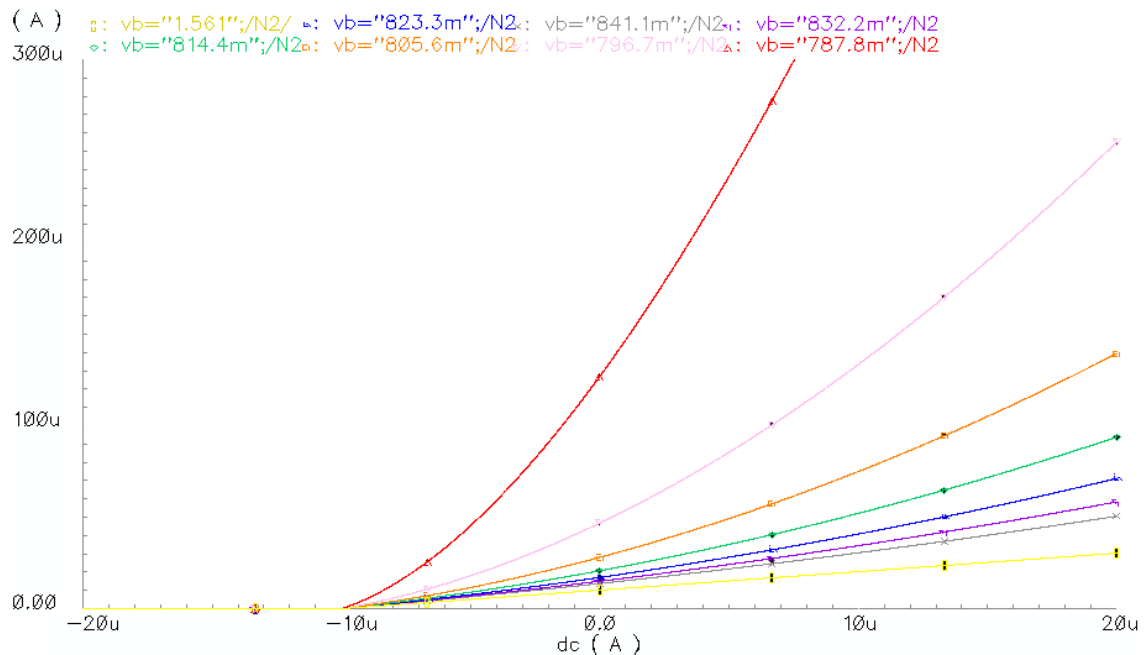
$$I_{out} = \frac{\beta_2}{2} \cdot (V_{GS2} - V_t)^2 \cdot (1 + \lambda V_{DS2}) \approx \frac{\beta_2}{2} \cdot \left(\frac{I_{in} + I_B}{\beta_1 \cdot V_{DS1}} \right)^2$$

M3 sigue en saturación, por lo que:

$$I_B = \frac{\beta_3}{2} \cdot (V_{GS3} - V_t)^2 \cdot (1 + \lambda V_{DS3}) \approx \frac{\beta_3}{2} \cdot (V_{GS3} - V_t)^2$$

$$V_{GS3} = \sqrt{\frac{2 \cdot I_B}{\beta_3}} + V_t \Rightarrow V_{DS1} = V_b - V_{GS3} = V_b - \sqrt{\frac{2 \cdot I_B}{\beta_3}} - V_t$$

Tanto I_B como V_b se fijan en el diseño del circuito, por lo que las consideramos como valores constantes, de manera que el valor de V_{DS1} es un valor fijo. Esto nos lleva a ver que la corriente de salida varía únicamente con las variaciones al cuadrado de I_{in} . Para conseguir que el transistor M1 se acerque a la zona de triodo tenemos que conseguir que V_{DS3} disminuya hasta valores cercanos a $V_{GS3} - V_t$. Para ello tenemos que bajar la tensión de V_b . En la siguiente simulación usamos diferentes valores de V_b , incluyendo el que usábamos en el caso anterior (operación lineal).



Podemos ver claramente la dependencia cuadrática de la señal de salida respecto de la entrada. Tomando valores cada vez más bajos de V_b , más nos acercamos a la zona de operación en triodo del transistor M1. Si seguimos bajando esta tensión llegará un momento en el que M1 entre en corte y el espejo deje de funcionar.

Vemos cómo las variaciones en V_b afectan a la corriente de salida, aunque todas ellas hagan que M1 esté en triodo. Esto es debido a que en el denominador aparece la tensión V_{DS1} , que depende de V_b .

$$I_{out} \approx \frac{\beta_2}{2} \cdot \left(\frac{I_{in} + I_B}{\beta_1 \cdot V_{DS1}} \right)^2$$

$$V_{DS1} = V_b - V_{GS3} = V_b - \sqrt{\frac{2 \cdot I_B}{\beta_3}} - V_t$$

En conclusión podemos decir que los parámetros que controlan la salida de corriente del espejo son ajustables a la hora del diseño.

4.II Espejo no lineal basado en FVF

El segundo espejo que vamos a estudiar (pág. 26) tiene una topología muy similar a la anterior. La diferencia es que no necesita una corriente I_B de polarización, sino que directamente introducimos la corriente de entrada por el transistor M3. Seguimos teniendo el control del sistema mediante la tensión de polarización V_b . Según qué tensión escojamos tendremos la posibilidad de controlar la tensión V_{DS} del transistor M1, por lo que podremos controlar en la región de operación que queremos trabajar.

Lineal

Fijamos una tensión V_b suficientemente grande como para que tanto M1 como M3 estén en saturación. Suponemos que el transistor M2 también está en saturación (todos ellos cumplen $V_{DS} \geq V_{GS} - V_t$).

Tenemos que:

$$I_{in} = \frac{\beta_3}{2} \cdot (V_{GS3} - V_t)^2 \cdot (1 + \lambda V_{DS3}) \approx \frac{\beta_3}{2} \cdot (V_{GS3} - V_t)^2 \Rightarrow V_{GS3} = \sqrt{\frac{2I_{in}}{\beta_3}} + V_t$$

$$V_{DS1} = V_b - V_{GS3} = V_b - \sqrt{\frac{2I_{in}}{\beta_3}} - V_t$$

Como M1 también está en saturación se cumple:

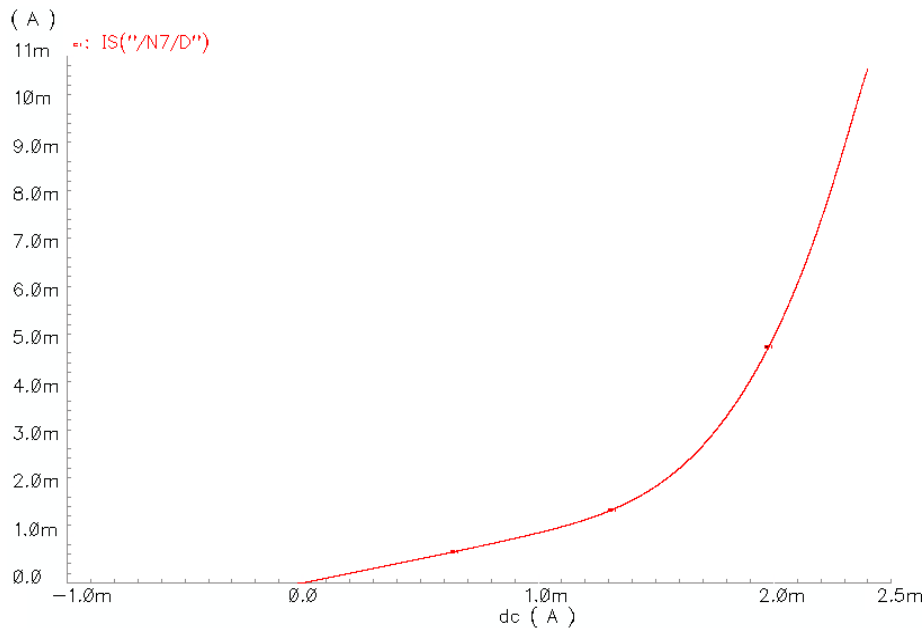
$$V_{GS1} = \sqrt{\frac{2I_{in}}{\beta_1}} + V_t$$

M2, de nuevo, está en saturación y V_{GS} , por lo que la corriente de salida será:

$$I_{out} = \frac{\beta_2}{2} \cdot (V_{GS2} - V_t)^2 \cdot (1 + \lambda V_{DS2}) \approx \frac{\beta_2}{2} \cdot (V_{GS2} - V_t)^2 = \frac{\beta_2}{2} \cdot (V_{GS1} - V_t)^2$$

$$I_{out} \approx \frac{\beta_2}{2} \cdot \left(\sqrt{\frac{2I_{in}}{\beta_1}} + V_t - V_t \right)^2 \xrightarrow{\beta_1 = \beta_2} I_{out} \approx I_{in}$$

Todo esto está bien siempre y cuando mantengamos al transistor M1 en saturación, si aumentamos demasiado la corriente I_{in} va a aumentar la tensión V_{GS3} . Como la tensión V_{G3} es fija (e igual a V_b) el aumento de corriente va a suponer una disminución del valor V_{DS1} . Si este valor supera el límite de $V_{DS} \geq V_{GS} - V_t$ el transistor dejará de estar en saturación para entrar en triodo y la corriente de salida ya no será igual a la corriente de entrada.



En la simulación hemos fijado la tensión V_b a 2 voltios, para mantener a M1 en saturación. En la gráfica se ve claramente como la corriente en el primer tramo (inferior a 1,2 mA) la corriente de salida es exactamente igual a la corriente de entrada. Al aumentar mucho la corriente de entrada el transistor M1 deja de estar en saturación para entrar en triodo, haciendo que la corriente de salida ya no sea igual a la corriente de entrada.

No lineal

Precisamente el mal funcionamiento del caso anterior es el que nos interesa en este espejo. Si conseguimos mantener al transistor M1 cercano a la zona de triodo conseguimos una respuesta cuadrática a la salida.

El transistor M3 está en saturación, por lo que tenemos una situación idéntica al caso anterior:

$$I_{in} = \frac{\beta_3}{2} \cdot (V_{GS3} - V_t)^2 \cdot (1 + \lambda V_{DS3}) \approx \frac{\beta_3}{2} \cdot (V_{GS3} - V_t)^2 \Rightarrow V_{GS3} = \sqrt{\frac{2I_{in}}{\beta_3}} + V_t$$

$$V_{DS1} = V_b - V_{GS3} = V_b - \sqrt{\frac{2I_{in}}{\beta_3}} - V_t$$

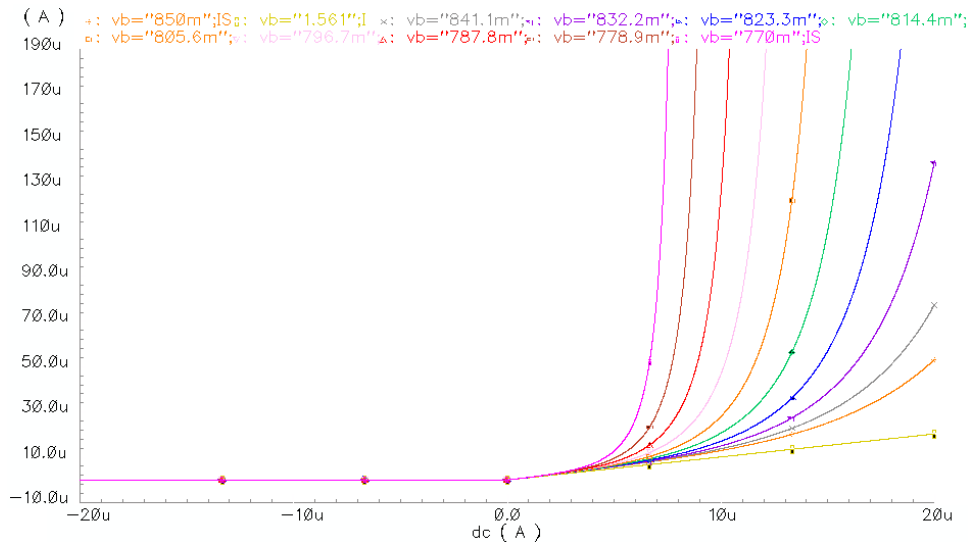
Ahora la corriente que circula por el transistor M1 cumple la siguiente expresión:

$$I_{in} = \beta_1 \cdot (V_{GS1} - V_t) \cdot V_{DS1} \Rightarrow V_{GS1} = \frac{I_{in}}{\beta_1 \cdot V_{DS1}} + V_t$$

El transistor M2 sigue en saturación, por lo que la corriente de salida será:

$$I_{out} = \frac{\beta_2}{2} \cdot (V_{GS2} - V_t)^2 \cdot (1 + \lambda V_{DS2}) \approx \frac{\beta_2}{2} \cdot (V_{GS2} - V_t)^2 = \frac{\beta_2}{2} \cdot (V_{GS1} - V_t)^2$$

$$I_{out} \approx \frac{\beta_2}{2} \cdot \left(\frac{I_{in}}{\beta_1 \cdot V_{DS1}} + V_t - V_t \right)^2 \xrightarrow{\beta_1 = \beta_2} I_{out} \approx \frac{1}{2\beta_1} \cdot \left(\frac{I_{in}}{V_{DS1}} \right)^2$$



En la gráfica hemos variado el valor de V_b en valores que hacen que el transistor M1 esté en la zona de triodo. De nuevo si bajamos demasiado la tensión V_b haremos que M1 entre en corte.

4.III Configuración alternativa

El funcionamiento de este último espejo está pensado para ser no lineal.

No lineal

Fijamos la tensión V_b de forma que el transistor esté en la región de triodo. La tensión V_{GS1} es fija, por lo que al aumentar la corriente I_{in} únicamente puede variar la tensión V_{DS1} . Como estamos cercanos a la frontera entre triodo y saturación, al aumentar la corriente I_{in} hay un momento en que M1 sale de triodo para entrar en saturación, lo que se traduce a que pequeñas variaciones de corriente producen grandes variaciones de tensión V_{DS1} . M3 trabajará siempre en la región de saturación. La tensión V_{GS2} es precisamente la suma de la tensión V_{GS1} y la V_{DS1} . Como hemos dicho que pequeñas variaciones de corriente en M1 se traducen en grandes variaciones de tensión en V_{DS1} , esto hace que la tensión V_{GS2} también aumente mucho. Por lo tanto la corriente de salida (dependiente de V_{GS2}) también aumentará mucho.

Vamos a ver este comportamiento analíticamente. El transistor M1 por tanto entra en saturación justo cuando aumentamos I_{in} , por lo que cumple:

$$I_{in} = \frac{\beta_1}{2} \cdot (V_{GS1} - V_t)^2 \cdot (1 + \lambda_1 V_{DS1}) = \frac{\beta_1}{2} \cdot (V_b - V_t)^2 \cdot (1 + \lambda_1 V_{DS1})$$

$$V_{DS1} = \frac{2I_{in}}{(V_b - V_t)^2 \beta_1 \lambda_1} - \frac{1}{\lambda_1}$$

M3 también está en saturación, pero su tensión V_{DS3} es igual a V_{GS3} , por lo que podemos hacer la siguiente aproximación:

$$I_{in} = \frac{\beta_3}{2} \cdot (V_{GS3} - V_t)^2 \cdot (1 + \lambda V_{DS3}) \approx \frac{\beta_3}{2} \cdot (V_{GS3} - V_t)^2 \Rightarrow V_{GS3} = \sqrt{\frac{2I_{in}}{\beta_3}} + V_t$$

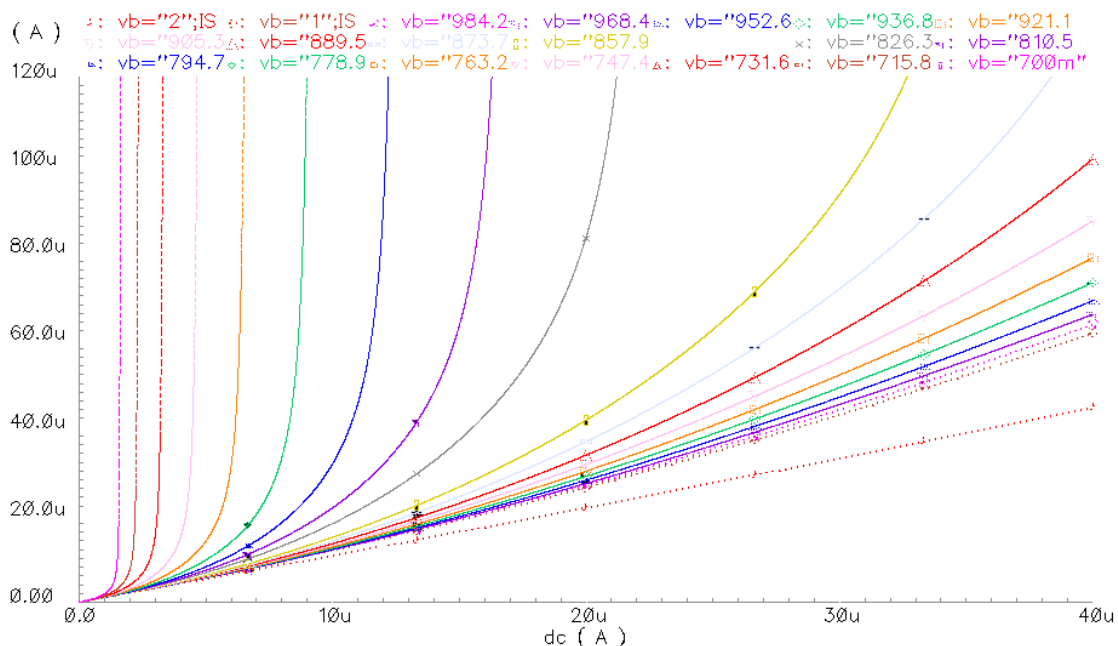
La tensión V_{GS2} es la suma de la tensión V_{GS3} y la V_{DS1} , por lo que tenemos:

$$I_{out} = \frac{\beta_2}{2} \cdot (V_{GS2} - V_t)^2 \cdot (1 + \lambda_2 V_{DS2}) \approx \frac{\beta_2}{2} \cdot (V_{GS2} - V_t)^2$$

$$I_{out} \approx \frac{\beta_2}{2} \cdot \left(\sqrt{\frac{2I_{in}}{\beta_3}} + V_t + \frac{2I_{in}}{(V_b - V_t)^2 \beta_1 \lambda_1} - \frac{1}{\lambda_1} - V_t \right)^2 = \frac{\beta_2}{2} \cdot \left(\sqrt{\frac{2I_{in}}{\beta_3}} + \frac{2I_{in}}{(V_b - V_t)^2 \beta_1 \lambda_1} - \frac{1}{\lambda_1} \right)^2$$

Vemos de nuevo que la corriente de salida tiene una dependencia cuadrática con la corriente de entrada.

En la gráfica podemos ver la relación cuadrática entre corriente de entrada y corriente de salida.

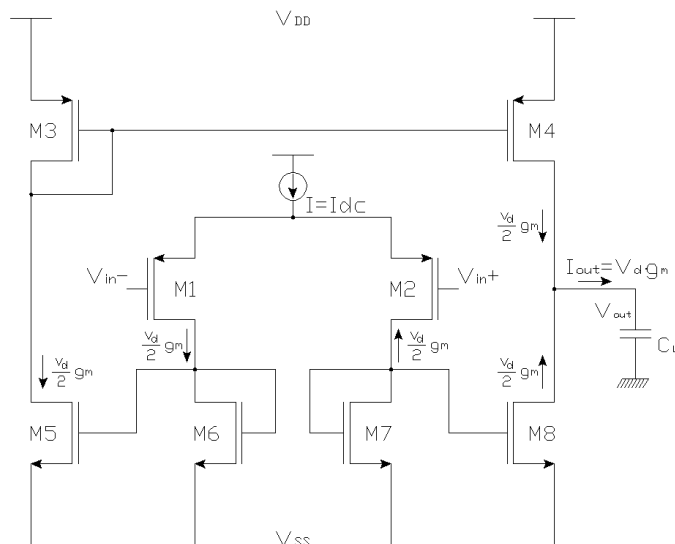


5 – PRESENTACIÓN OTA Y SUS MODIFICACIONES

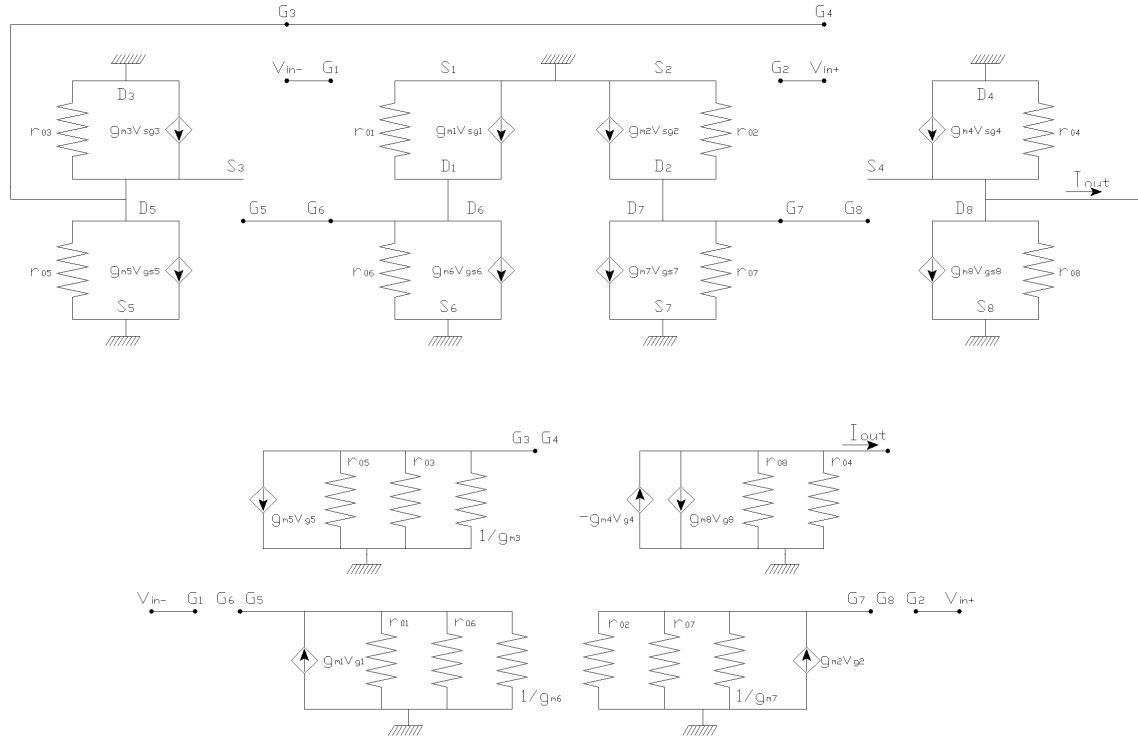
A lo largo del apartado 5 vamos a presentar la topología de un OTA sencillo para ir aplicándole modificaciones que hemos visto en los apartados anteriores así como nuevas ideas que iremos presentando. Usaremos espejos no lineales, adaptaremos la señal de entrada con técnicas de transistores de puerta flotante y puerta cuasiflotante, funcionamiento en Clase AB. También haremos que la salida sea diferencial, en vez de simple, lo que nos obligará a utilizar un circuito de control del modo común de salida. Haremos una comparación de los resultados obtenidos en cada apartado, utilizando la misma señal de entrada, voltajes de alimentación y cargas del circuito.

5.1 OTA base

Presentamos a continuación el OTA del que vamos a partir para aplicar las posibles mejoras. El transistor M1 junto con M2 forman la entrada al circuito con un par diferencial. La resistencia de entrada por tanto será infinita. Como ya vimos en la introducción al comportamiento de un OTA simple, la tensión de entrada V_d supone que en M1 se cree una corriente $g_m(V_d/2)$ y en M2 otra $-g_m(V_d/2)$. Los pares de transistores M5-M6 y M7-M8 crean unos espejos de corriente. El par M7-M8 copia la corriente $-g_m(V_d/2)$ por la rama de M8. El par M5-M6 copia la corriente $g_m(V_d/2)$ por la rama de M3. Vemos que M3-M4 es otro espejo, por lo que la corriente $g_m(V_d/2)$ se copia a la rama de M4. Esto hace que por la rama de salida se sumen las corrientes copiadas en M4 y en M8, obteniendo una corriente de salida $g_m V_d$.



Vamos a detenernos en el estudio en pequeña señal de este circuito para tener claro su funcionamiento. En la siguiente página hemos utilizado los modelos de pequeña señal para estudiar este OTA.



Suponemos que las parejas M1-M2, M3-M4, M5-M6 y M7-M8 han sido fabricados de manera que los miembros de cada pareja son completamente iguales. También haremos la suposición de que $1/g_{mx} \ll r_{0x}$, por lo que todos los paralelos que nos encontramos donde aparece $1/g_{mx}$ y varias r_{0x} , nos quedaremos únicamente con el término $1/g_{mx}$.

$$V_{G5} = g_{m1} V_{G1} \frac{1}{g_{m6}} \quad ; \quad V_{G8} = g_{m2} V_{G2} \frac{1}{g_{m7}}$$

$$V_{G4} = -g_{m5} g_{m1} V_{G1} \frac{1}{g_{m6}} \frac{1}{g_{m3}} = -g_{m1} V_{G1} \frac{1}{g_{m3}}$$

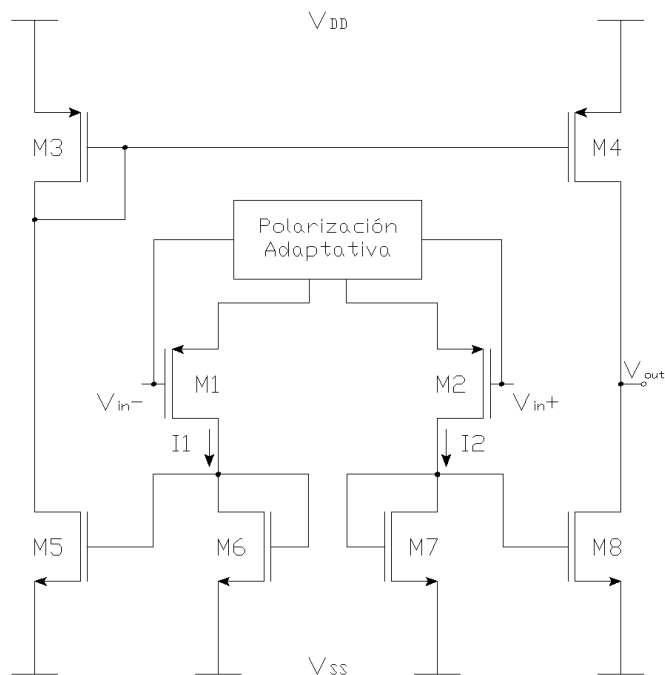
$$V_{OUT} = \left(g_{m8} g_{m2} V_{G2} \frac{1}{g_{m7}} - g_{m4} g_{m1} V_{G1} \frac{1}{g_{m3}} \right) \cdot [r_{08} // r_{04}] = (g_{m2} V_{G2} - g_{m1} V_{G1}) \cdot [r_{08} // r_{04}]$$

$$V_{OUT} = \left[g_{m2} \frac{V_d}{2} - g_{m1} \left(-\frac{V_d}{2} \right) \right] \cdot [r_{08} // r_{04}] = g_{m1} V_d \cdot [r_{08} // r_{04}]$$

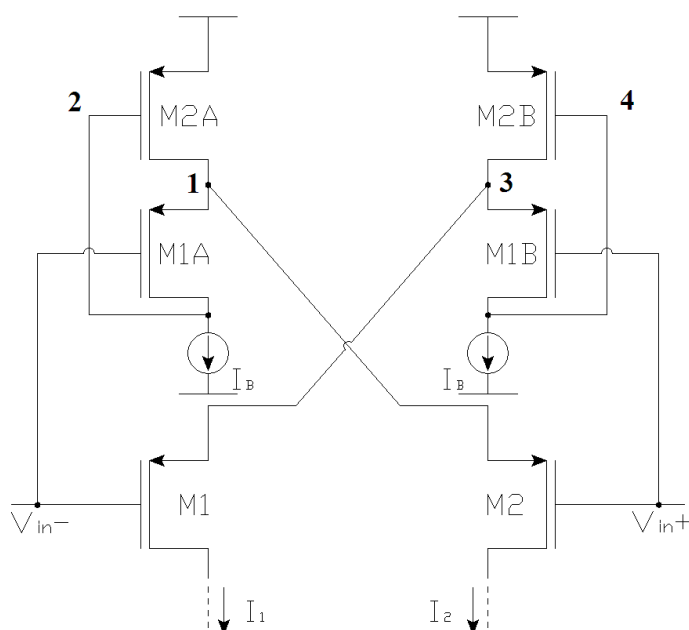
La resistencia de salida por tanto será el paralelo de r_{08} y r_{04} .

5.II OTA con polarización adaptativa

En la siguiente figura presentamos la idea de la primera modificación que podemos realizar a nuestro OTA original. Se trata de adaptar la corriente de polarización. Inicialmente utilizábamos una fuente de corriente para la polarización (aunque realmente la crearemos con un espejo real) de I_B amperios. El módulo que incorporamos tiene la función de adaptar la corriente de polarización según la entrada que tengamos. Cuando únicamente teníamos I_B lo que sucedía era que esta corriente se balanceaba según la entrada, ahora con el módulo de adaptación la corriente que conseguimos entregar a M1 o a M2 será mucho mayor.



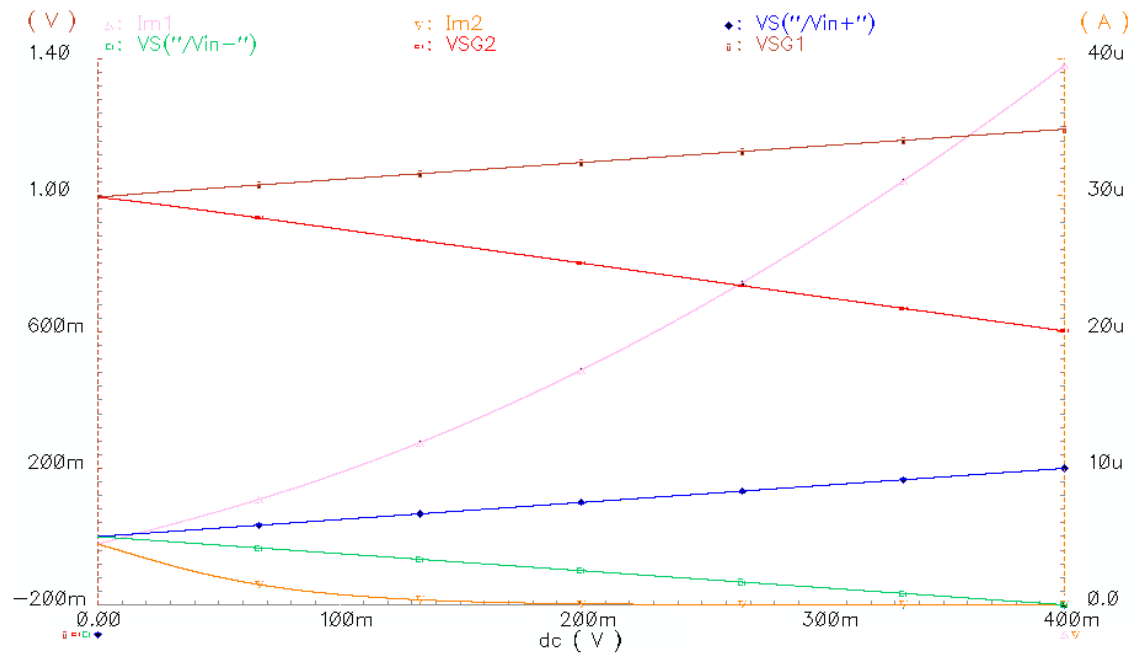
Vamos a ver como funciona la adaptación de la corriente de polarización. En el siguiente gráfico vemos que el módulo se compone de 4 transistores y dos fuentes de polarización de corriente I_B . Vamos a ver de manera cualitativa como se comporta este circuito. Para ello imaginamos que introducimos una señal positiva, es decir, en V_{in+} mayor que V_{in-} . Tanto el transistor M1A como el M1B están sometidos a una corriente fija I_B . Al disminuir la tensión que hay en V_{in-} también baja directamente la tensión que hay en la puerta del transistor M1A. Como la corriente que circula por M1A es fija, se mantienen las tensiones V_{GS} y V_{DS} , por lo que la tensión que hay en V_{S1A} también baja.



Esto hace que baje la tensión en el surtidor del transistor M2. Al bajar la tensión V_{SG2} disminuye la corriente que circula por M2. Esta corriente puede ser mucho menor que I_B pudiendo llegar a anularse por completo. Como también la tensión V_{in+} está aumentando, se favorece de nuevo que la tensión V_{SG2} disminuya.

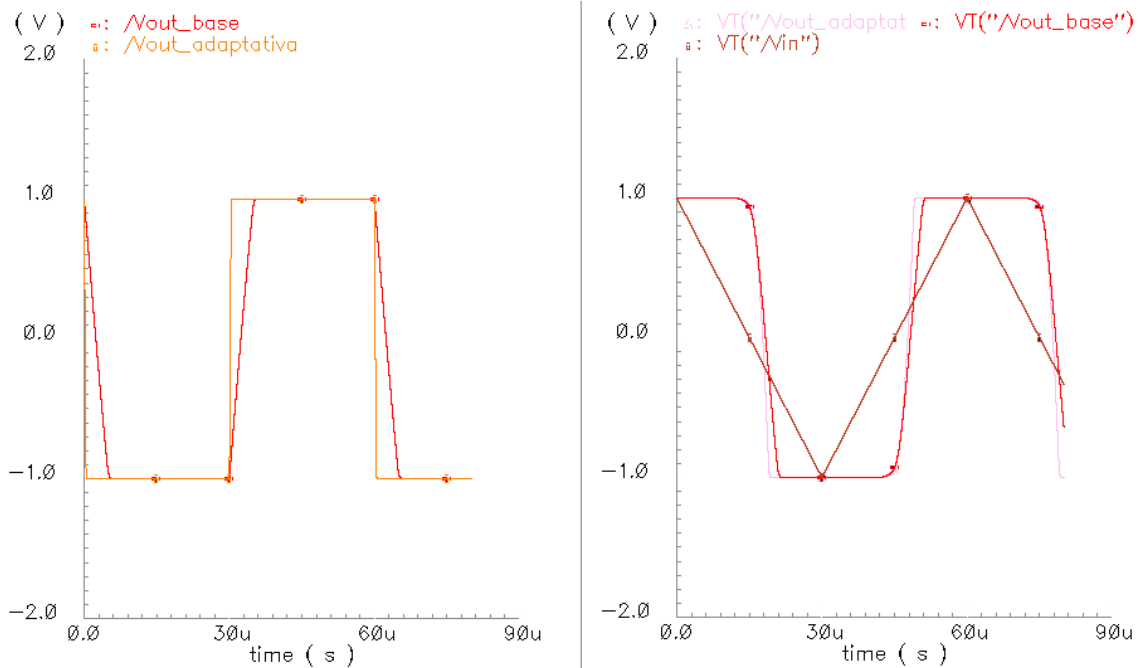
Por otra parte, al aumentar la tensión en V_{in+} , aumenta también la tensión que hay en V_G del transistor M1B, traduciéndose en un aumento de la tensión V_{SG} del transistor M1, pudiendo hacer que la corriente que atravesase M1 sea mucho mayor que la corriente de polarización I_B .

Nos hemos ayudado de una simulación para ver el comportamiento cuantitativamente de este módulo de adaptación de la polarización. Hemos representado la corriente que circula por M1 y por M2 al hacer un barrido en DC en la de la tensión de entrada V_d ($V_{in+} = V_d/2$ y $V_{in-} = -V_d/2$). También hemos representado las siguientes tensiones: V_{in-} , V_{in+} , V_{SG1} y V_{SG2} , para ver como afectan a la corriente que circula por M1.



Vemos que la tensión del V_{SG1} aumenta con la tensión de entrada, haciendo que la corriente que circula por M1 aumente mucho. También se aprecia como la tensión V_{SG2} disminuye, haciendo que la corriente que atraviesa por M2 llegue a anularse.

El comportamiento que vemos en esta adaptación de la señal de polarización es una especie de realce del comportamiento normal del típico par diferencial de transistores. En el par diferencial, como ya vimos en el apartado 1.I, balancea la corriente de polarización I_B para que circule por un transistor o por el otro. Con esta configuración la máxima corriente que puede circular por cualquiera de los dos transistores del par es I_B . Ésta es la gran motivación del módulo que hemos utilizado. Al aumentar la diferencia de tensión en la entrada al par diferencia, conseguimos corrientes que atraviesan los transistores mucho mayores que I_B . Es importante resaltar que esta corriente es mayor que I_B , pero sólo será mayor cuando haya diferencia de tensión entre las entradas, en reposo será constante.

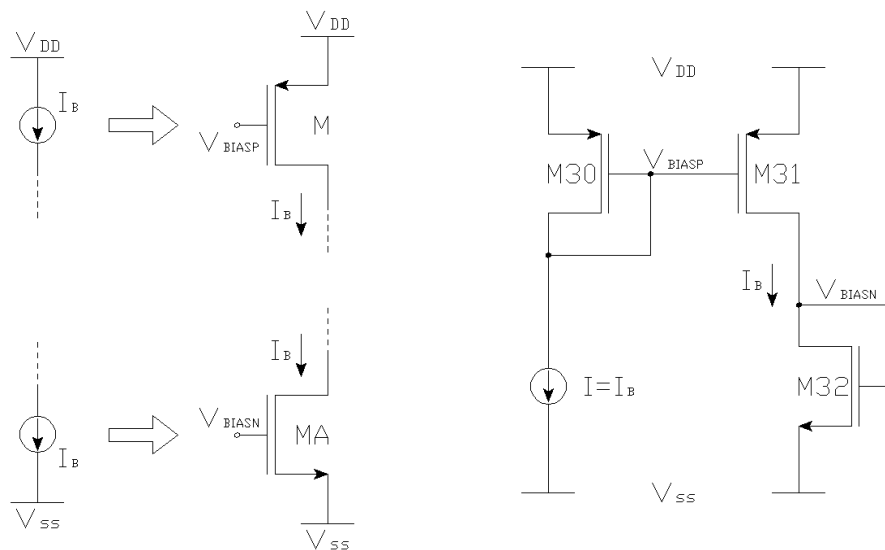


Hemos hecho una simulación con una señal de entrada cuadrada para poder comparar el Slew-Rate entre el OTA base y el adaptativo. Como hemos mencionado en la explicación del funcionamiento del OTA con polarización adaptativa, la corriente que es capaz de generar en los transistores del par diferencial es mayor. Esto se traduce a que la corriente que es capaz de entregar a la carga es mayor para el caso del OTA adaptativo, por consiguiente tendremos valores de Slew-Rate más altos. En la traza de la izquierda vemos claramente que el Slew-Rate del OTA base es menor que el caso del OTA adaptativo. En los dos casos conseguimos que la señal de salida se sature al mismo nivel que la tensión de alimentación.

NOTA IMPORTANTE

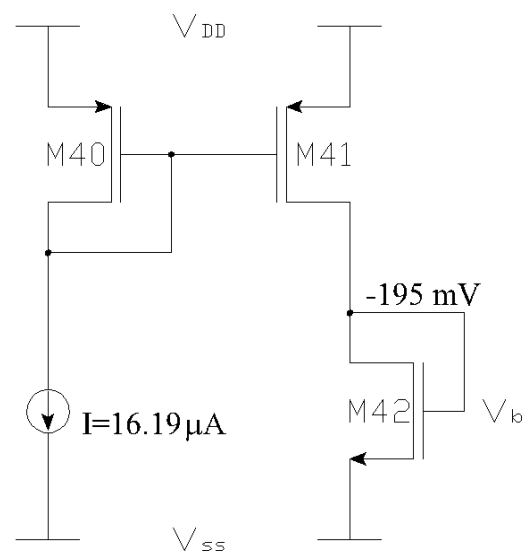
Para el resto del apartado 5 vamos a necesitar generar unas tensiones constantes para polarizar los circuitos correctamente.

Las fuentes de corriente que aparecen en el módulo de adaptación de polarización van a ser sustituidas por un transistor NMOS cuya puerta está conectada a una tensión de polarización V_{BIASN} . De la misma manera, en el espejo lineal de tipo I vamos a sustituir su fuente de polarización por un transistor PMOS cuya puerta se conecta a una tensión V_{BIASP} . A continuación mostramos el circuito de donde conseguimos dichas tensiones:



Estamos haciendo espejos de corriente para hacer copias de la corriente de polarización I_B . Para que la copia sea exacta, los transistores PMOS y NMOS han de tener la misma relación de forma entre ellos.

La siguiente tensión a generar para polarizar los siguientes circuitos es V_b . Esta tensión se utiliza en los espejos no lineales. Recordamos lo que vimos en el apartado 4, necesitamos usar una V_b tal que mantenga la polarización de los transistores en la zona de triodo, para generar copias de las corrientes no lineales. En dicho apartado vimos que para tensiones V_b de unos 800 mV todos los espejos se comportaban de forma no lineal. Debemos fijarnos que en esas simulaciones la tensión inferior era tierra y ahora tenemos una tensión de alimentación negativa de -1 V, por lo que necesitamos generar una tensión V_b en torno a -200 mV. A la derecha mostramos el circuito que nos genera dicha tensión.

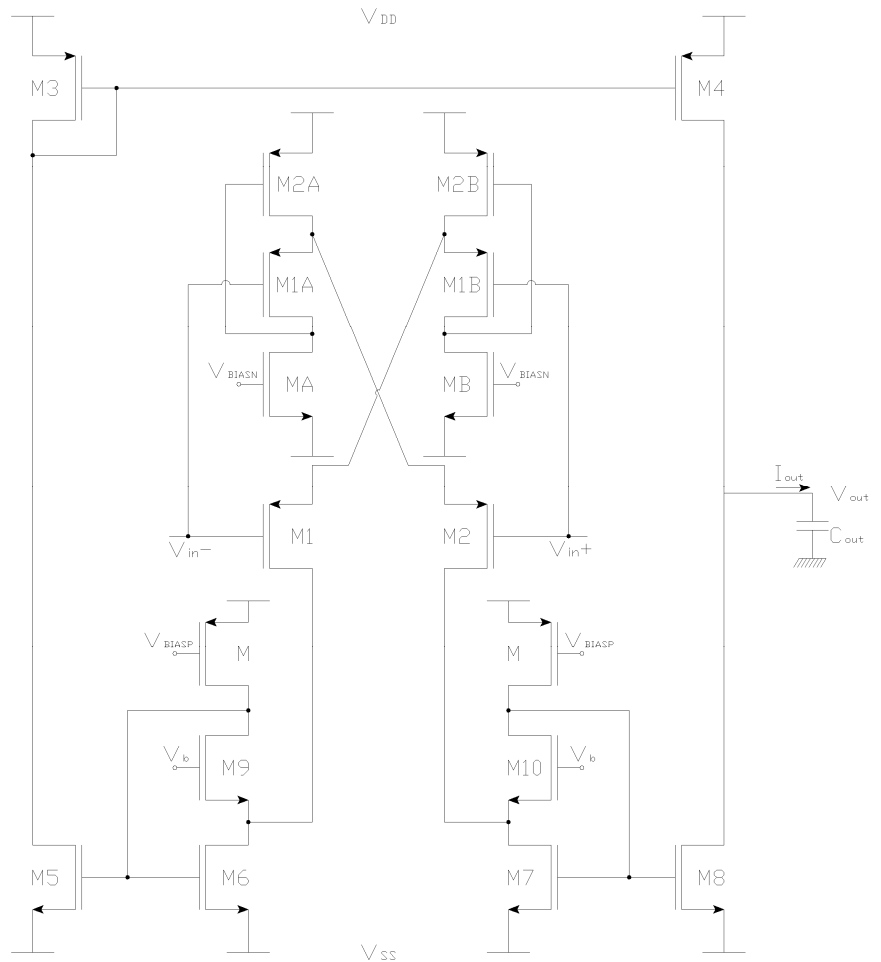


5.III OTA1 (OTA adaptativo con espejo tipo 1)

Hemos utilizado el OTA adaptativo y hemos reemplazado el espejo de corriente simple que formaban los transistores inferiores y lo hemos cambiado por el espejo que estudiamos en el apartado 4.I. A continuación mostramos el esquemático de dicha topología.

Mediante el módulo de adaptación de la polarización conseguimos entregar más corriente a los transistores M1 y M2. Esta corriente ahora es reflejada por el espejo de tipo 1. La idea es trabajar en el modo no lineal de dicho espejo, manteniendo la polarización del espejo en un punto que M7 esté en la frontera de la zona de triodo. De nuevo esta copia de corriente hace que por M8 circule una corriente mayor que en M7.

Por la rama izquierda tenemos los mismos efectos, conseguimos que por M5 circule una corriente reflejada mayor que la que circula por M6. A su vez esta corriente está amplificada gracias al módulo de adaptación. M3 y M4 forman un espejo de corriente convencional, por lo que la corriente que se copia hacia la salida es igual que la que circula por M5.



En la rama de salida tendremos la suma de las corrientes, de la misma forma que pasaba en el OTA convencional. Estas corrientes serán mucho mayores que en caso simple, por lo que a primera vista podemos intuir que el Slew-Rate se mejora notoriamente.

FG a la entrada (OTA1+mod1)

La primera modificación que vamos a realizar al OTA1 va a ser utilizar transistores de puerta flotante a la entrada del par diferencial (M1 y M2). Como ya

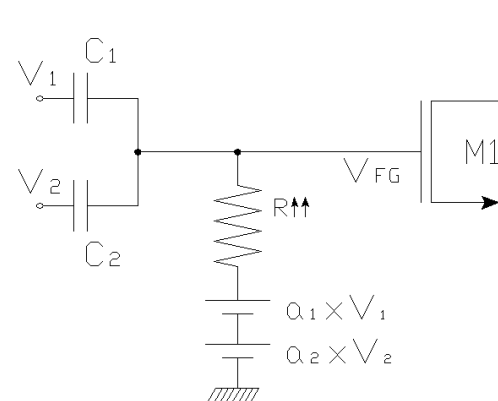
detallamos en el apartado 3.I, el transistor de puerta flotante se comporta como un divisor capacitivo. En nuestro caso utilizaremos un transistor de puerta flotante con dos puertas de control, es decir, con dos capacidades.

La expresión de la tensión en la puerta de un FGT es:

$$V_G = a_1 \cdot V_1 + a_2 \cdot V_2$$

donde:

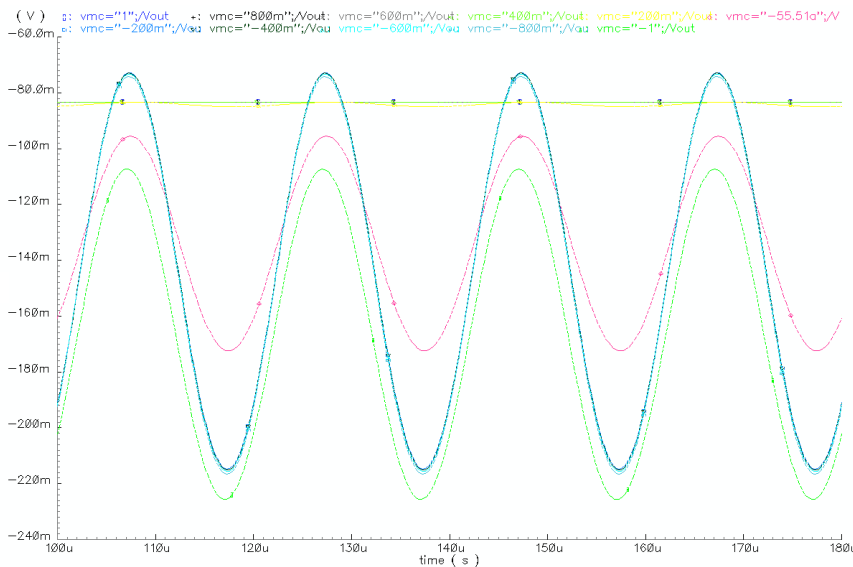
$$a_1 = \frac{C_1}{C_1 + C_2} ; \quad a_2 = \frac{C_2}{C_1 + C_2}$$



En la figura del circuito completo hemos representado el transistor de puerta flotante como un transistor normal con dos condensadores en su puerta. Éste es el circuito equivalente, pero para poder simular correctamente hemos tenido que fijar la tensión en DC que hay en la puerta flotante mediante una resistencia de alto valor óhmico y las fuentes de tensión continua correspondientes, tal y como explicamos en el apartado 3.I.

Este circuito está alimentado a $\pm 1V$. Una característica deseada en este tipo de circuitos es que la entrada sea de tipo *rail to rail*, es decir, que podamos introducir una señal de entrada que recorra completamente la tensión de alimentación sin que esto suponga un problema. En la siguiente simulación hemos utilizado una señal sinusoidal de 1 mV de amplitud y 50 kHz, variando únicamente la componente en DC de dicha señal para excitar el OTA1. Es una señal suficientemente pequeña para que la salida no se sature.

Variamos tensión DC desde -1 V hasta 1 V y observamos que los resultados a la salida del sistema son aceptables para señales con modo común entre -1 V y 0 V.



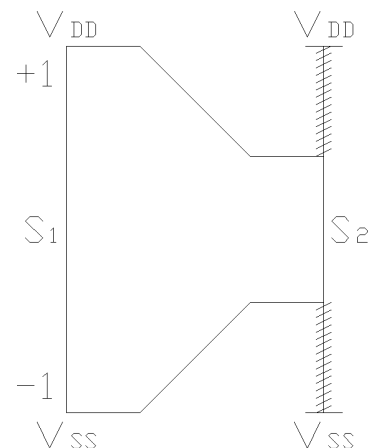
Para resolver este problema utilizamos transistores de puerta flotante a la entrada del par diferencial. La idea es escalar la señal de entrada para que el circuito pueda aceptar señales de modo común de ± 1 V. Para ello conectamos directamente la señal de entrada a la puerta de control de capacidad C_1 y la tensión de alimentación negativa a la puerta de control de capacidad C_2 .

La tensión en la puerta flotante del transistor viene dada por:

$$V_G = a_1 \cdot V_{in+} + a_2 \cdot V_{SS} = \frac{C_1}{C_1 + C_2} \cdot V_{in+} + \frac{C_2}{C_1 + C_2} \cdot V_{SS}$$

Precisamente a_1 es el cociente entre los segmentos S_1 y S_2 . El segmento S_1 corresponde a la tensión que deseamos aceptar en el circuito y S_2 la que realmente acepta. Para asegurarnos de que funciona correctamente haremos que S_2 sea algo inferior a lo que teóricamente necesitamos. Teóricamente obtenemos:

$$a_1 = \frac{S_2}{S_1} = \frac{0 - (-1)}{+1 - (-1)} = 0,5$$



Vamos a utilizar un valor de a_1 igual a:

$$a_1 = \frac{S_1}{S_2} = \frac{0,88}{+1 - (-1)} = 0,44 \Rightarrow a_2 = 0,56$$

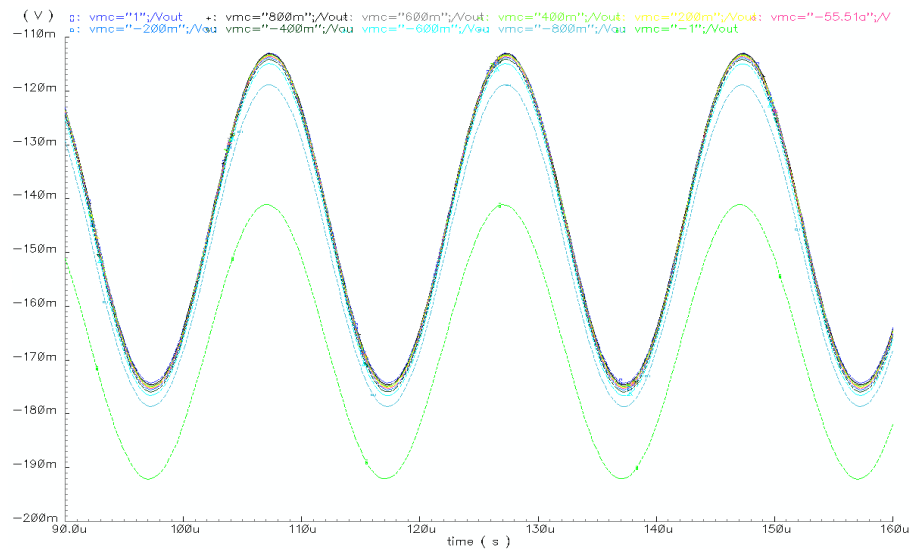
El valor de C_1 será por tanto: $C_1 = \frac{a_1}{a_2} \cdot C_2$

Fijando el valor de C_1 o C_2 obtenemos directamente el valor del otro.

$$C_1 = 4,4 \text{ pF}$$

$$C_2 = 5,6 \text{ pF}$$

Hemos vuelto a realizar la misma simulación que hemos hecho para el OTA1 en el circuito del OTA1+mod1 con los valores de las capacidades que hemos calculado. El resultado que obtenemos es el esperado. Conseguimos que la señal de entrada pueda tener un modo común desde -1 V hasta +1 V. También se puede apreciar que la amplitud de salida es menor que en el caso del OTA1. Esto es lógico ya que hemos aplicado un factor a_1 de compresión a la señal de entrada.



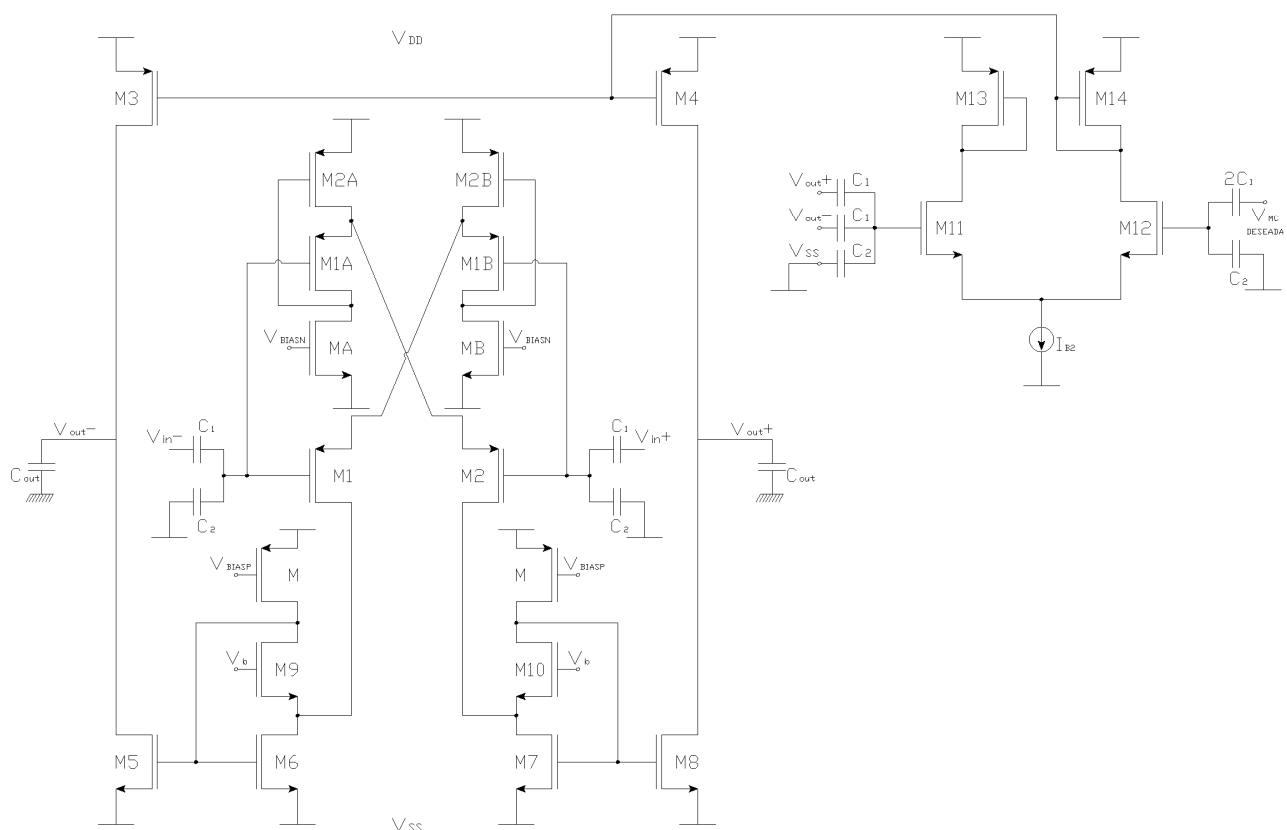
Salida diferencial (OTA1+mod1+mod2)

La segunda modificación que vamos a realizar a todos los OTAs es hacer que tengan salida diferencial. En el apartado 6 veremos analíticamente las mejoras que supone esta modificación. Como avance podemos reflexionar sobre la ventaja de hacer la resta de la mitad de la señal de salida positiva menos la mitad de la señal negativa. Los armónicos de segundo orden van a anularse en gran medida.

La primera acción para crear salida diferencial sería atender los transistores que forman el espejo simple de la parte superior, M3 y M4. Necesitaríamos copiar una corriente determinada para que circule tanto por M3 como por M4, pero anulando el lazo de M3. Si colocamos otro transistor PMOS conectando su surtidor a V_{DD} y uniendo su base con las bases de M3 y M4 y a su vez colocando una fuente de corriente en su drenador podemos obtener la misma corriente de polarización en M3 y M4. La corriente que deseamos es la misma que teníamos en el caso de salida normal, unos $56 \mu A$.

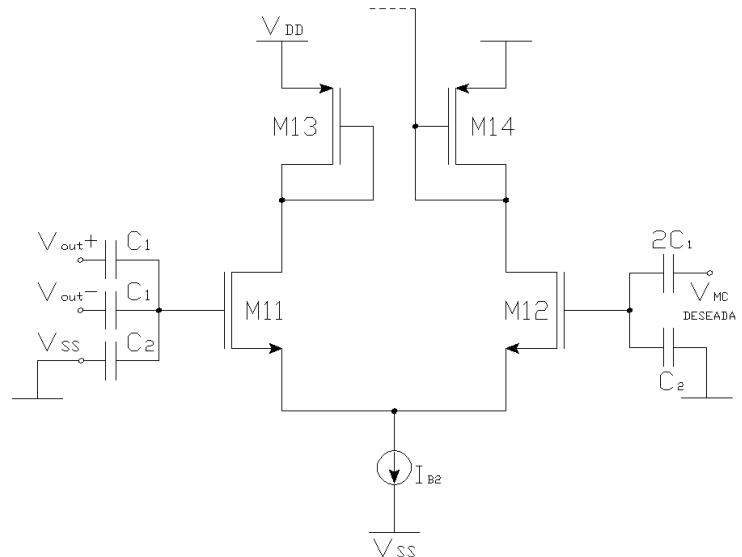
Realmente es necesario utilizar un circuito de control del modo común de la señal de salida. Esto es necesario para que la salida tenga una componente DC fija y podamos tener nosotros su control. Primeramente vamos a presentar la topología completa del sistema y posteriormente pasaremos a explicar la parte del circuito correspondiente al control del modo común.

A continuación mostramos el circuito que necesitamos para hacer que el OTA1+mod1 pase a tener salida diferencial.



Vemos como la salida está dividida, obteniendo la salida como la resta entre V_{out+} y V_{out-} . Ha desaparecido el lazo que unía la puerta y el drenador del transistor M3 y aparece un circuito auxiliar, utilizado para controlar el modo común de salida. A continuación vamos a estudiar el comportamiento de dicho circuito.

Utilizamos transistores de puerta flotante para la entrada del par diferencial formado por M11 y M12. El transistor M11 tiene tres puertas de control, dos de ellas están conectadas a las correspondientes tensiones de salida del OTA diferencial y la última puerta de control se conecta a la tensión de alimentación negativa. Respetamos las capacidades que hemos utilizado en el diseño del par diferencial de entrada al OTA. Por el otro lado, el transistor M12 tiene dos puertas de control, una conectada directamente a la tensión de alimentación negativa y la otra conectada a una tensión que es exactamente la tensión de modo común que deseamos imponer a la salida diferencial del circuito.



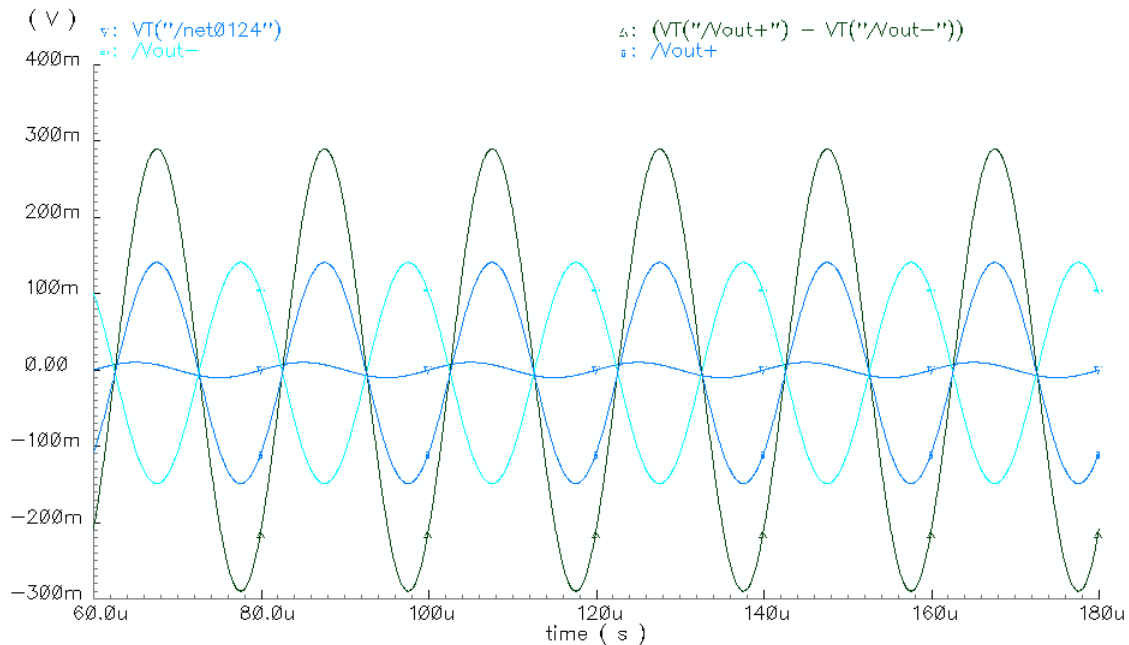
En la puerta flotante del transistor M11 tenemos una tensión igual a la suma de las tensiones de salida positiva y negativa, es decir, el nivel de DC de la señal de salida. En la puerta del transistor M12 tenemos la tensión en DC que queremos imponer a la salida. Si tenemos el caso de que el nivel de DC de salida es superior al deseado, el par diferencial balancea la corriente aumentando la que circula por M11 y disminuyendo la que circula por M12. Al disminuir la corriente que atraviesa M14 disminuye también su tensión V_{SG} . El transistor M14 junto con M3 y M4 forman un espejo simple, por lo que al disminuir la tensión V_{SG} de M14, también disminuye las corrientes que circulan por M3 y M4. Esta disminución de dichas corrientes hace que el nivel de las señales V_{out+} y V_{out-} decrezcan.

Del mismo modo, si la tensión DC de la señal de salida es inferior a la deseada, la corriente se balancea aumentando la corriente por M14. Esto hace que aumente la tensión V_{SG} de M14, obligando a los transistores M3 y M4 a aumentar la corriente que circula por ellos. Esto hace que el nivel de DC de la tensión de salida aumente.

Se produce un lazo de realimentación que hace que se estabilice la tensión de DC de la señal de salida.

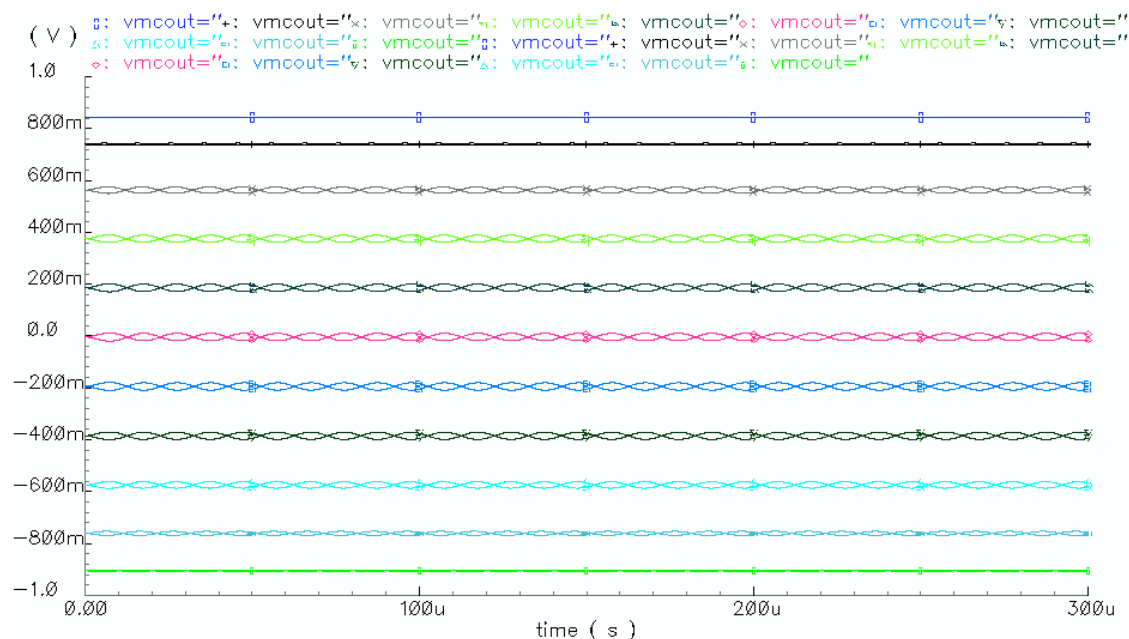
La corriente I_{B2} necesaria es justamente el doble de la que circula en por los transistores M3 y M4 en el caso del OTA con salida simple, es decir, unos 112 μA .

A continuación mostramos el resultado de una simulación excitando el circuito con una señal de entrada sinusoidal de 10 mV de amplitud y 50 kHz de frecuencia. Mostramos la salida positiva, la salida negativa y la resta entre ellas. Hemos fijado el modo común de la señal de entrada y de la señal de salida a 0 V. También mostramos la señal de entrada.



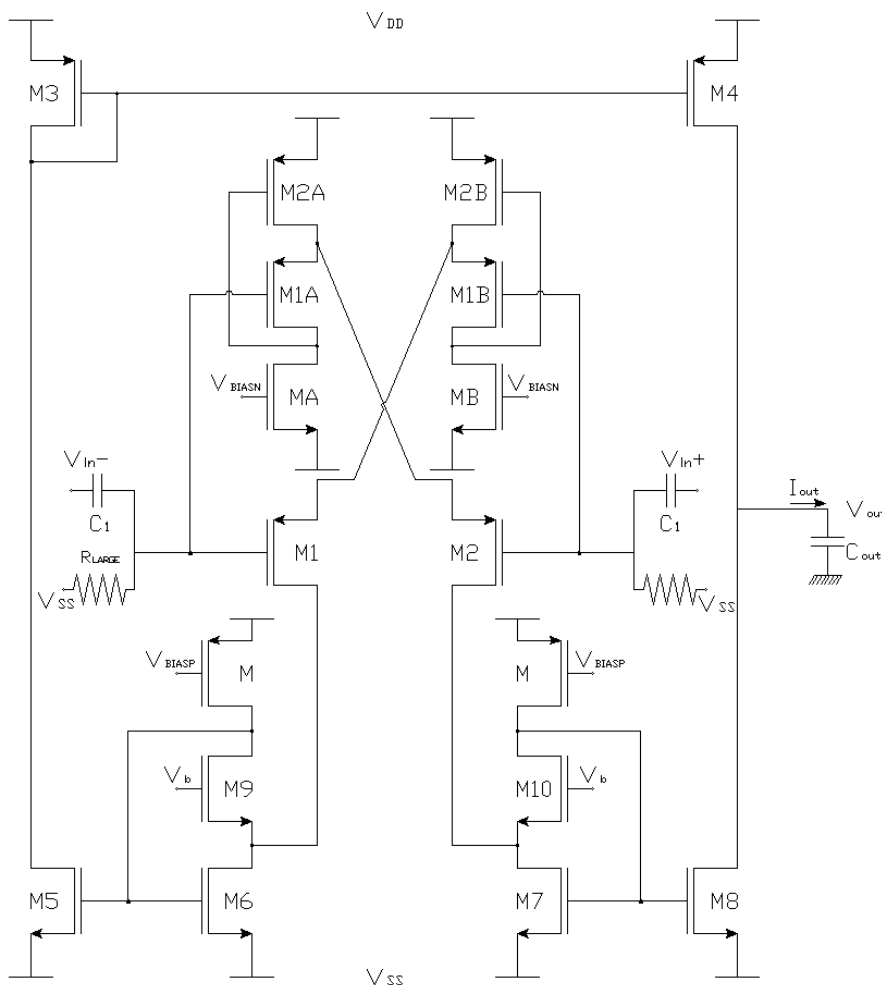
Vemos claramente como se mantiene el nivel de continua en las dos señales de salida.

La siguiente simulación la hemos hecho para comprobar el funcionamiento del control del modo común de salida a diferentes tensiones. Para excitar el circuito hemos utilizado una señal sinusoidal de 1 mV de amplitud y 50 kHz. Los valores del modo común de salida deseados van desde -1 V hasta +1 V en pasos de 200 mV.



QFG a la entrada (OTA1+mod3)

A continuación vamos a utilizar la técnica de puerta cuasiflotante vista en el apartado 3-II. Conectaremos a la resistencia de alto valor a la tensión de alimentación negativa V_{SS} . Debemos recordar que sirve para fijar un nivel de DC determinado, sin afectar a la señal de AC generada por la aportación individual de cada una del resto de puertas flotantes. En la realidad en vez de utilizar resistencias utilizaremos transistores conectados como diodo. Como estamos utilizando topología P en el par diferencial de entrada, conseguimos de esta manera mantener bien polarizados dichos transistores para mayores variaciones del modo común de la señal de entrada.



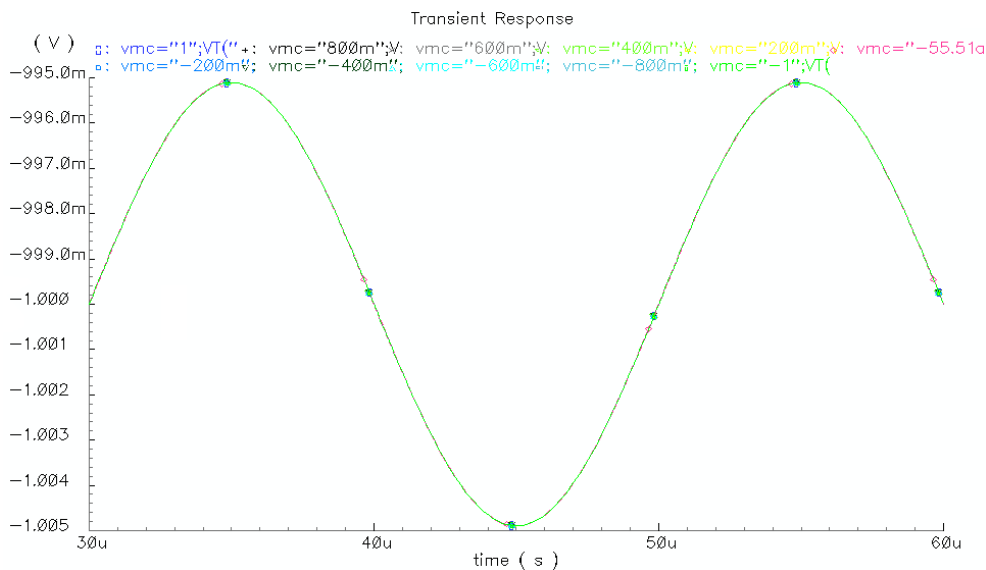
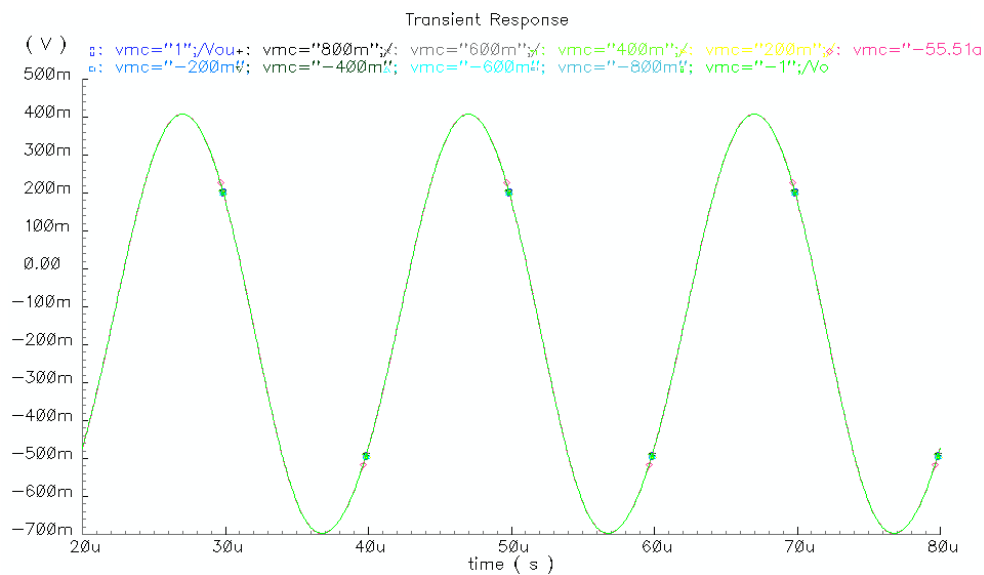
En la siguiente figura mostramos la configuración con la puerta cuasiflotante a la entrada. Tal y como mencionamos en el apartado 3, para evitar el área generada por una puerta con un condensador muy grande, sustituimos el condensador por un transistor en configuración de alta resistencia, fijando de esta forma la tensión DC (dando lugar a la puerta cuasiflotante).

Esto nos permite fijar el nivel de DC en la puerta de los transistores M1 y M2 de forma manual, pudiendo controlar el modo de funcionamiento de estos.

Como conclusión de esta configuración podemos decir que el modo común de la señal de entrada no va a afectar a la señal que aparece a la puerta de los transistores que forman el par diferencial de entrada en el sistema.

Vamos a realizar una sencilla simulación para comprobar cómo afecta la variación del modo común de entrada a la salida del sistema. Para ello utilizamos una señal sinusoidal de frecuencia 50 kHz y 10 mV de amplitud.

En la imagen con los resultados vemos claramente que todas las señales de salida son iguales, o lo que es lo mismo, el modo común de la señal de entrada no varía el nivel de DC de la señal que aparece en la puerta cuasiflotante (ya que queda fijado por la tensión de alimentación negativa). En la segunda gráfica mostramos la señal V- de la puerta del transistor M1 y vemos como es idéntica para cualquier modo común de la señal de entrada (el nivel de DC queda fijado por V_{SS}).



5.IV OTA2 (OTA adaptativo con espejo tipo 2)

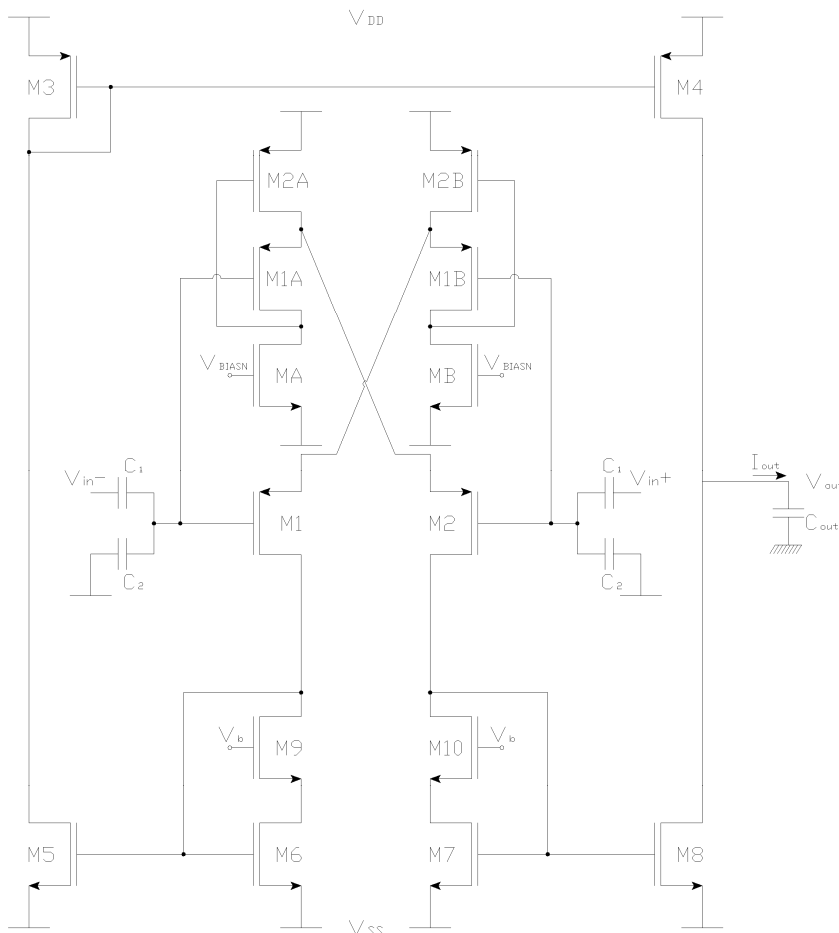
De la misma manera que hemos hecho en el caso anterior hemos reemplazado el espejo de corriente simple que formaban los transistores inferiores y lo hemos cambiado por el espejo que estudiamos en el apartado 4.II. A continuación mostramos el esquemático de dicha topología.

De nuevo tenemos una topología que parte del OTA simple, pero utiliza un módulo de adaptación de la polarización. Como ya sabemos este módulo se encarga de entregar una cantidad de corriente mayor que en el caso de estar polarizado con una fuente de corriente. Ahora en la parte inferior tenemos un espejo de tipo II, el que también trabajara en modo no lineal. De esta manera se consigue amplificar la corriente que se copia a la rama del transistor M8. En la parte izquierda ocurre exactamente lo mismo, por lo que la corriente que se copia a M5 también está amplificada.

M3 y M4 siguen formando un espejo de corriente normal, por lo que en la rama volvemos a tener la suma de las corrientes que circulan por M4 y M8.

FG a la entrada (OTA2+mod1)

Cogemos la topología del OTA2 y cambiamos los transistores de la entrada del par diferencial (M1 y M2) por transistores de puerta flotante. De nuevo utilizaremos un transistor de puerta flotante con dos puertas de control, es decir, con dos capacidades. El resultado del esquema se refleja en la siguiente figura.



Hemos representado el transistor de puerta flotante como un transistor normal con dos condensadores en su puerta. Éste es el circuito equivalente, pero para poder simular correctamente hemos tenido que fijar la tensión en DC que hay en la puerta flotante mediante una resistencia de alto valor óhmico y las fuentes de tensión continua correspondientes, tal y como explicamos en el apartado 3.I.

La expresión de la tensión en la puerta de un FGT es:

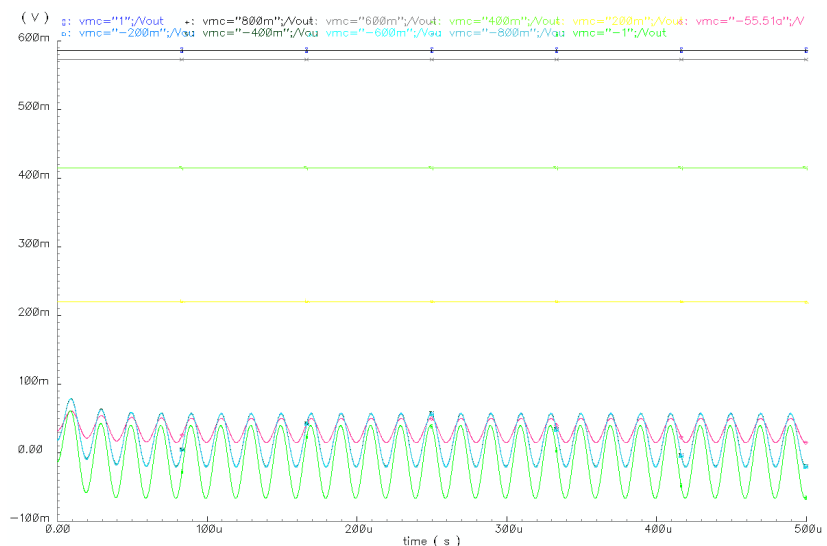
$$V_G = a_1 \cdot V_1 + a_2 \cdot V_2$$

con:

$$a_1 = \frac{C_1}{C_1 + C_2} \quad ; \quad a_2 = \frac{C_2}{C_1 + C_2}$$

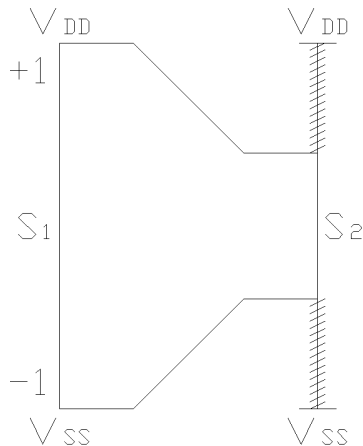
Volvemos al circuito del OTA2 para realizar una simulación. Seguimos utilizando una señal sinusoidal de 1 mV de amplitud y 50 kHz, variando únicamente la componente en DC de dicha señal. Es una señal suficientemente pequeña para que la salida no se sature.

Podemos ver que el circuito se comporta bien para señales con modo común entre -1 V y -100 mV.



De nuevo queremos conseguir que el circuito acepte señales de tipo *rail to rail*, es decir, que podamos introducir una señal de entrada que recorra completamente la tensión de alimentación sin que esto suponga un problema. Este circuito está alimentado a $\pm 1V$. Para ello utilizamos los transistores de puerta flotante y su característica de divisor de tensión capacitivo.

Conectamos directamente la señal de entrada la puerta de control de capacidad C_1 y la tensión de alimentación negativa a la puerta de control de capacidad C_2 .



La tensión en la puerta flotante del transistor viene dada por:

$$V_G = a_1 \cdot V_{in+} + a_2 \cdot V_{SS} = \frac{C_1}{C_1 + C_2} \cdot V_{in+} + \frac{C_2}{C_1 + C_2} \cdot V_{SS}$$

Precisamente a_1 es el cociente entre los segmentos S_1 y S_2 . El segmento S_1 corresponde a la tensión que deseamos aceptar en el circuito y S_2 la que realmente acepta. Para asegurarnos de que funciona correctamente haremos que S_2 sea algo inferior a lo que teóricamente necesitamos. Teóricamente obtenemos:

$$a_1 = \frac{S_2}{S_1} = \frac{(-0.1) - (-1)}{+1 - (-1)} = 0,45$$

Vamos a utilizar un valor de a_1 igual al caso anterior para simplificar:

$$a_1 = \frac{S_1}{S_2} = \frac{0,88}{+1 - (-1)} = 0,44 \Rightarrow a_2 = 0,56$$

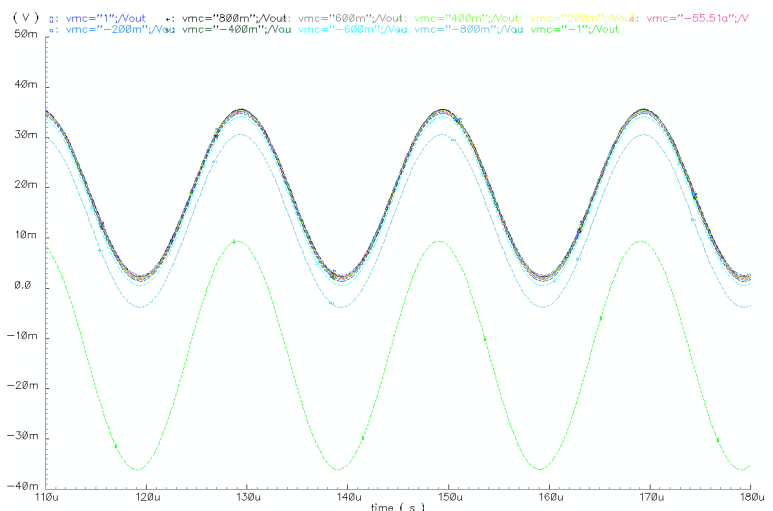
El valor de C_1 será por tanto: $C_1 = \frac{a_1}{a_2} \cdot C_2$

Fijando el valor de C_1 o C_2 obtenemos directamente el valor del otro.

$$C_1 = 4,4 pF$$

$$C_2 = 5,6 pF$$

Repetimos la misma simulación que hemos hecho para el OTA2 en el circuito del OTA2+mod1 con los valores de las capacidades que hemos calculado. De nuevo conseguimos que la señal de entrada pueda tener un modo común desde $-1V$ hasta $+1V$. También se puede apreciar que la amplitud de salida es menor que en el caso del OTA2. Esto es lógico ya que hemos aplicado un factor a_1 de compresión a la señal de entrada.



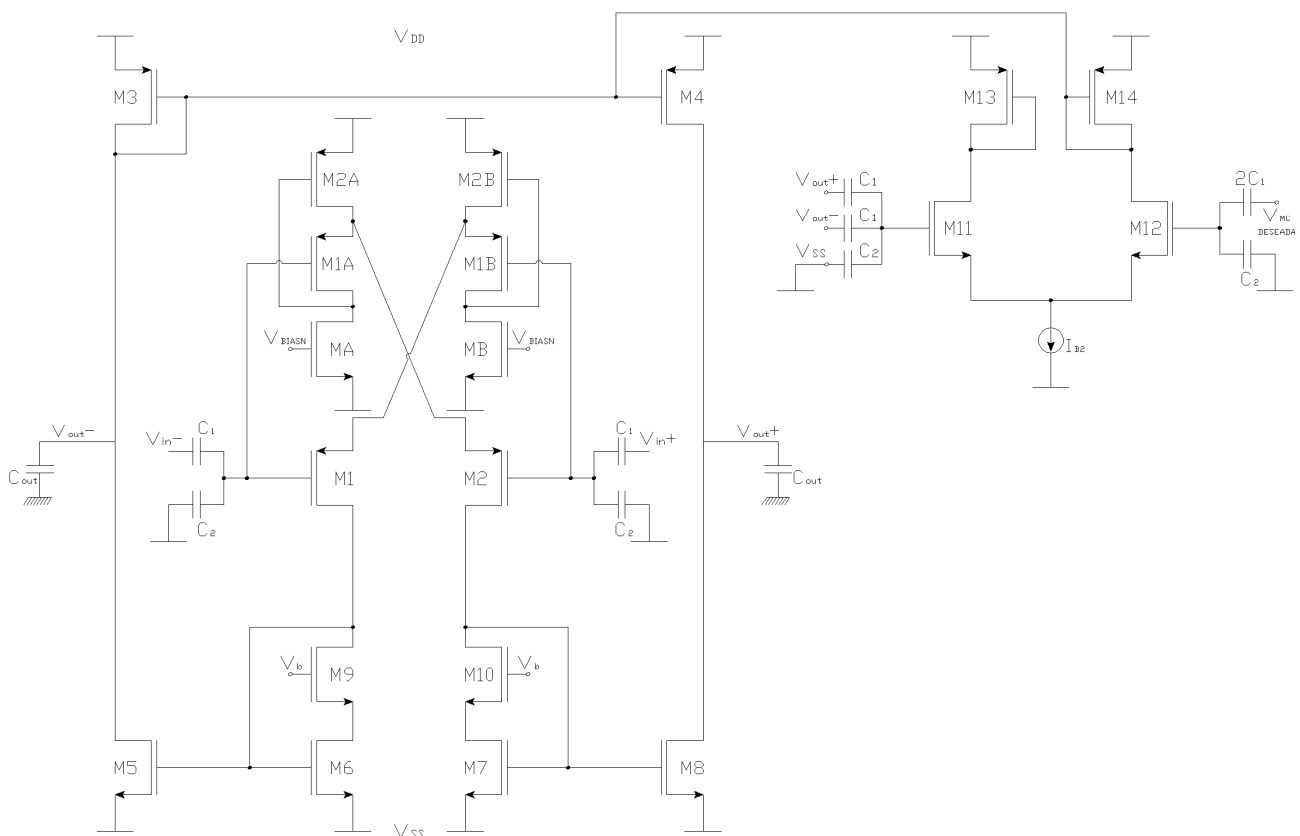
Salida diferencial (OTA2+mod1+mod2)

Del mismo modo que hicimos en el OTA1, vamos a conseguir que nuestro circuito del OTA2 tenga salida diferencial.

De nuevo necesitaríamos copiar una corriente determinada para que circule tanto por M3 como por M4, pero anulando el lazo de M3. Si colocamos otro transistor PMOS conectando su surtidor a V_{DD} y uniendo su base con las bases de M3 y M4 y a su vez colocando una fuente de corriente en su drenador podemos obtener la misma corriente de polarización en M3 y M4. Para conseguirlo volvemos a utilizar un circuito de control del modo común de la señal de salida. Esto es necesario para que la salida tenga una componente DC fija y podamos tener nosotros su control.

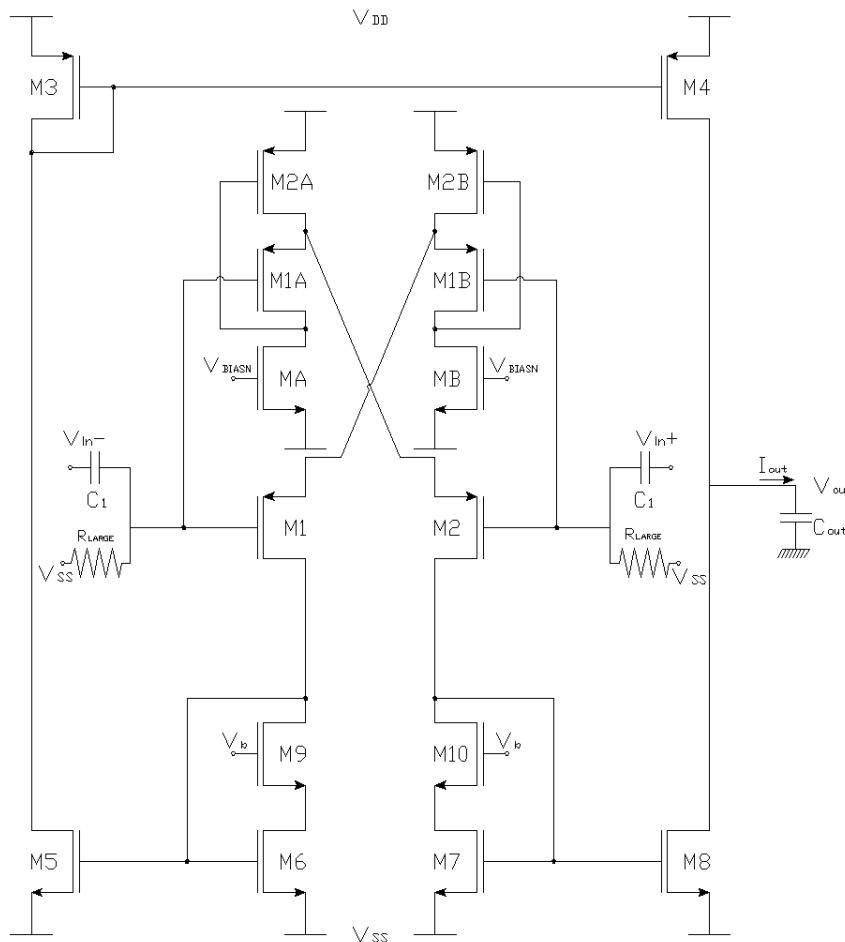
A continuación mostramos el circuito resultante del OTA2 junto con la primera modificación (FGT a la entrada del par diferencial) y la segunda modificación para hacer que pase a tener salida diferencial.

Resaltamos que la corriente I_{B2} utilizada en este circuito es $14,32 \mu A$, en vez de los $112,1 \mu A$ del caso del OTA1. Esto es debido a que por M3 y M4 en el caso del OTA2 la corriente de polarización que circula por ellos es de unos $7 \mu A$.



QFG a la entrada (OTA2+mod3)

Tal y como hicimos con el OTA 1 vamos a utilizar la técnica de puerta cuasiflotante. Conectaremos a la resistencia de alto valor óhmico a la tensión de alimentación negativa V_{SS} . Sirve para fijar un nivel de DC determinado, sin afectar a la señal de AC generada por la aportación individual de cada una del resto de puertas flotantes. Recordamos que en la realidad no haremos resistencias, sino transistores conectados como diodo.



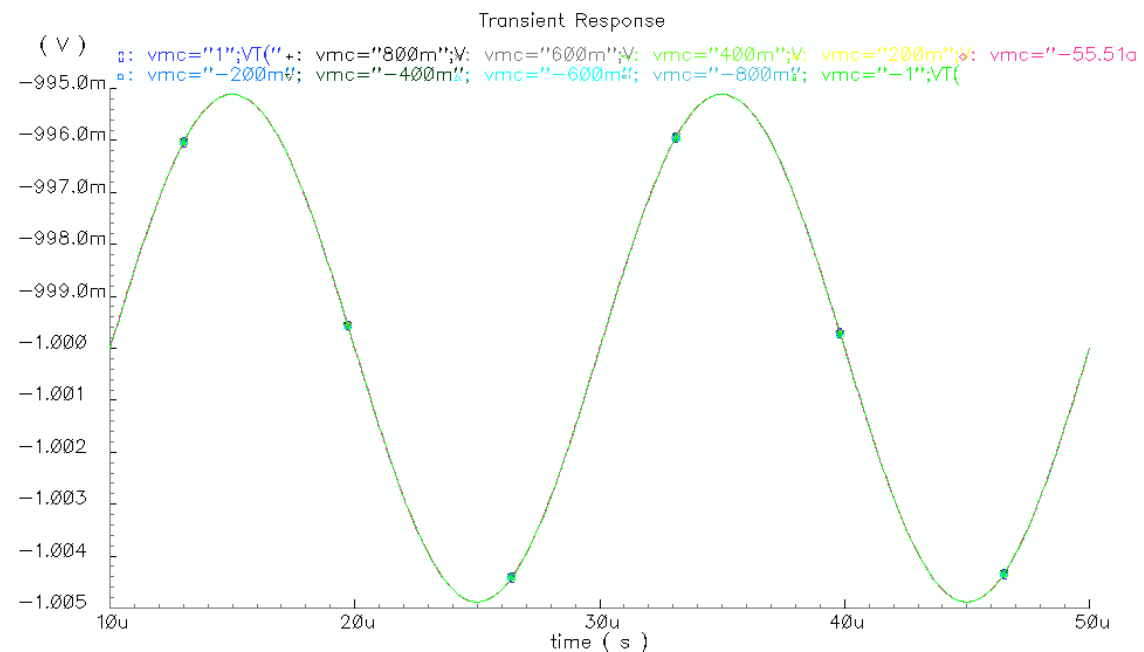
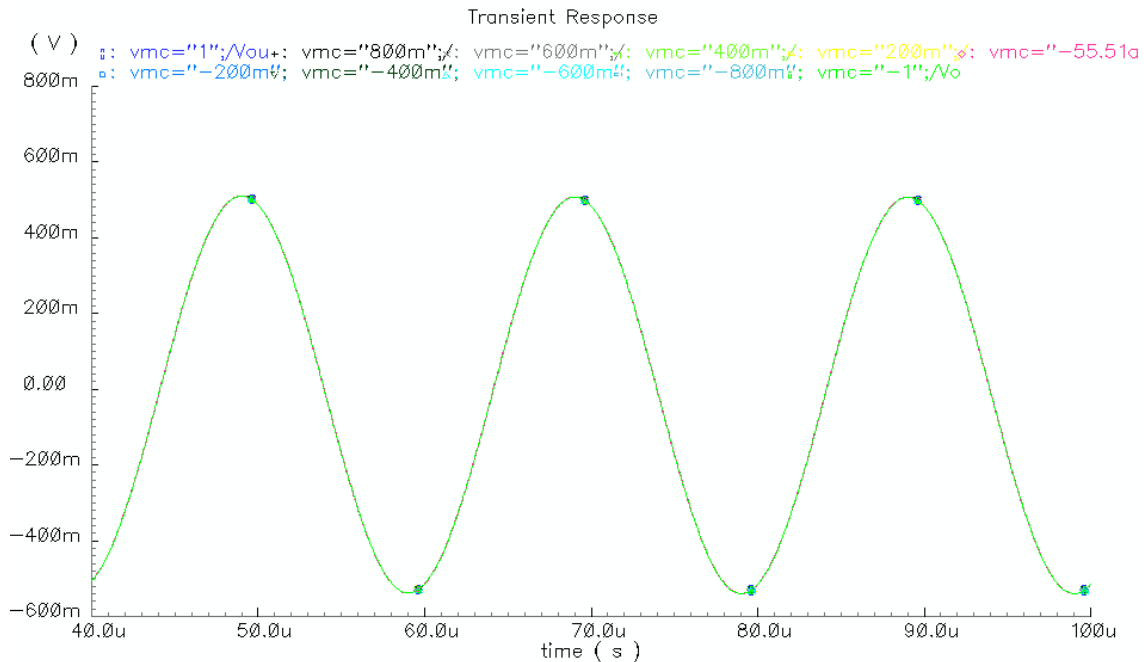
En la siguiente figura mostramos la configuración con la puerta cuasiflotante a la entrada. Tal y como mencionamos en el apartado 3, para evitar el área generada por una puerta con un condensador muy grande, sustituimos el condensador por un transistor en configuración de alta resistencia, fijando de esta forma la tensión DC (dando lugar a la puerta cuasiflotante).

Esto nos permite fijar el nivel de DC en la puerta de los transistores M1 y M2 de forma manual, pudiendo controlar el modo de funcionamiento de estos.

Del mismo modo que sucede con el caso del OTA 1 vemos que el modo común de la señal de entrada no va a afectar a la señal que aparece a la puerta de los transistores que forman el par diferencial de entrada en el sistema.

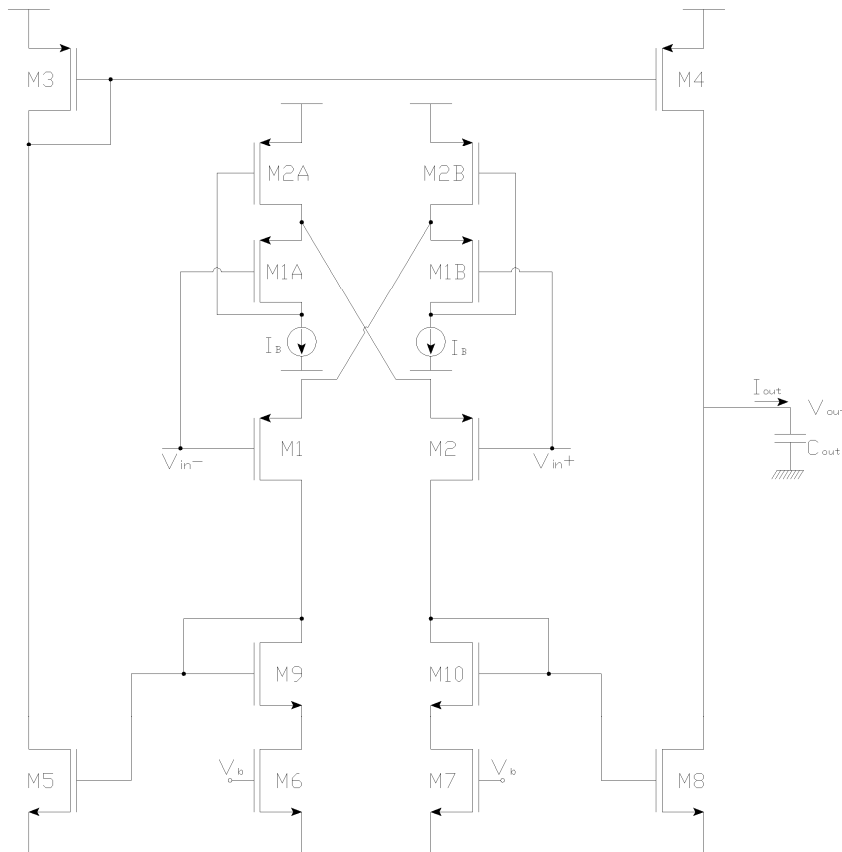
Realizamos la misma simulación para comprobar cómo afecta la variación del modo común de entrada a la salida del sistema. Para ello utilizamos una señal sinusoidal de frecuencia 50 kHz y 10 mV de amplitud.

En la primera imagen vemos que todas las señales de salida son iguales, o lo que es lo mismo, el modo común de la señal de entrada no varía el nivel de DC de la señal que aparece en la puerta cuasiflotante (ya que queda fijado por la tensión de alimentación negativa). En la segunda gráfica mostramos la señal V_- de a la puerta del transistor M1 y vemos como es idéntica para cualquier modo común de la señal de entrada (el nivel de DC queda fijado por V_{SS}).



5.V OTA3 (OTA adaptativo con espejo tipo 3)

De nuevo hemos reemplazado el espejo de corriente simple que formaban los transistores inferiores y lo hemos cambiado por el espejo que estudiamos en el apartado 4.III. A continuación mostramos el esquemático de dicha topología.

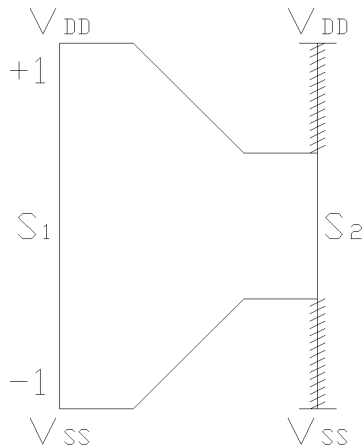


Volvemos a partir del OTA simple. Utilizamos un módulo de adaptación de la polarización. Como ya sabemos este módulo se encarga de entregar una cantidad de corriente mayor que en el caso de estar polarizado con una fuente de corriente. Ahora en la parte inferior tenemos un espejo de tipo II, el que también trabajara en modo no lineal. De esta manera se consigue amplificar la corriente que se copia a la rama del transistor M8. En la parte izquierda ocurre exactamente lo mismo, por lo que la corriente que se copia a M5 también está amplificada.

M3 y M4 siguen formando un espejo de corriente normal, por lo que en la rama volvemos a tener la suma de las corrientes que circulan por M4 y M8.

De nuevo queremos conseguir que el circuito acepte señales de tipo *rail to rail*, es decir, que podamos introducir una señal de entrada que recorra completamente la tensión de alimentación sin que esto suponga un problema. Este circuito está alimentado a $\pm 1V$. Para ello utilizamos los transistores de puerta flotante y su característica de divisor de tensión capacitivo.

Conectamos directamente la señal de entrada la puerta de control de capacidad C_1 y la tensión de alimentación negativa a la puerta de control de capacidad C_2 .



La tensión en la puerta flotante del transistor viene dada por:

$$V_G = a_1 \cdot V_{in+} + a_2 \cdot V_{SS} = \frac{C_1}{C_1 + C_2} \cdot V_{in+} + \frac{C_2}{C_1 + C_2} \cdot V_{SS}$$

Precisamente a_1 es el cociente entre los segmentos S_1 y S_2 . El segmento S_1 corresponde a la tensión que deseamos aceptar en el circuito y S_2 la que realmente acepta. Para asegurarnos de que funciona correctamente haremos que S_2 sea algo inferior a lo que teóricamente necesitamos. Teóricamente obtenemos:

$$a_1 = \frac{S_2}{S_1} = \frac{0 - (-1)}{+1 - (-1)} = 0,5$$

Vamos a utilizar un valor de a_1 igual a los casos anteriores para simplificar:

$$a_1 = \frac{S_1}{S_2} = \frac{0,88}{+1 - (-1)} = 0,44 \Rightarrow a_2 = 0,56$$

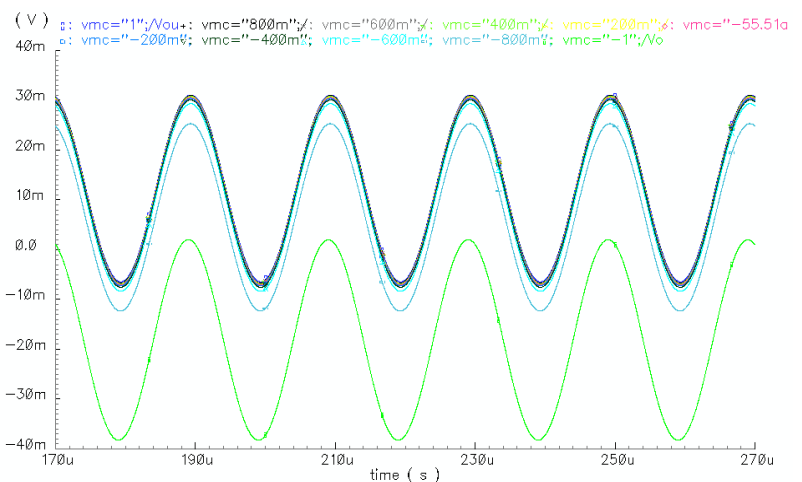
El valor de C_1 será por tanto: $C_1 = \frac{a_1}{a_2} \cdot C_2$

Fijando el valor de C_1 o C_2 obtenemos directamente el valor del otro.

$$C_1 = 4,4 pF$$

$$C_2 = 5,6 pF$$

Repetimos la misma simulación que hemos hecho para el OTA3 en el circuito del OTA3+mod1 con los valores de las capacidades que hemos calculado. De nuevo conseguimos que la señal de entrada pueda tener un modo común desde $-1V$ hasta $+1V$. También se puede apreciar que la amplitud de salida es menor que en el caso del OTA2. Esto es lógico ya que hemos aplicado un factor a_1 de compresión a la señal de entrada.



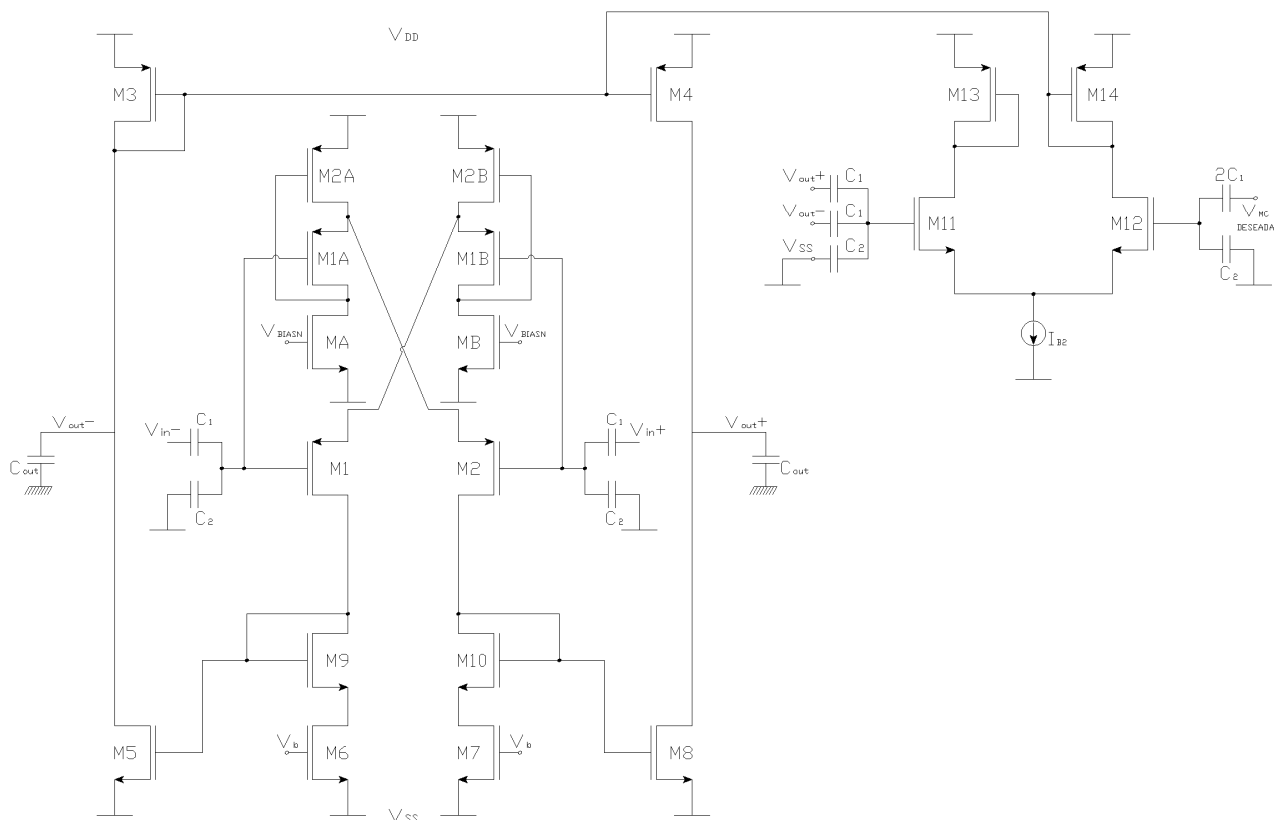
Salida diferencial (OTA3+mod1+mod2)

Del mismo modo que hicimos en el OTA1 y 2, vamos a conseguir que nuestro circuito del OTA3 tenga salida diferencial.

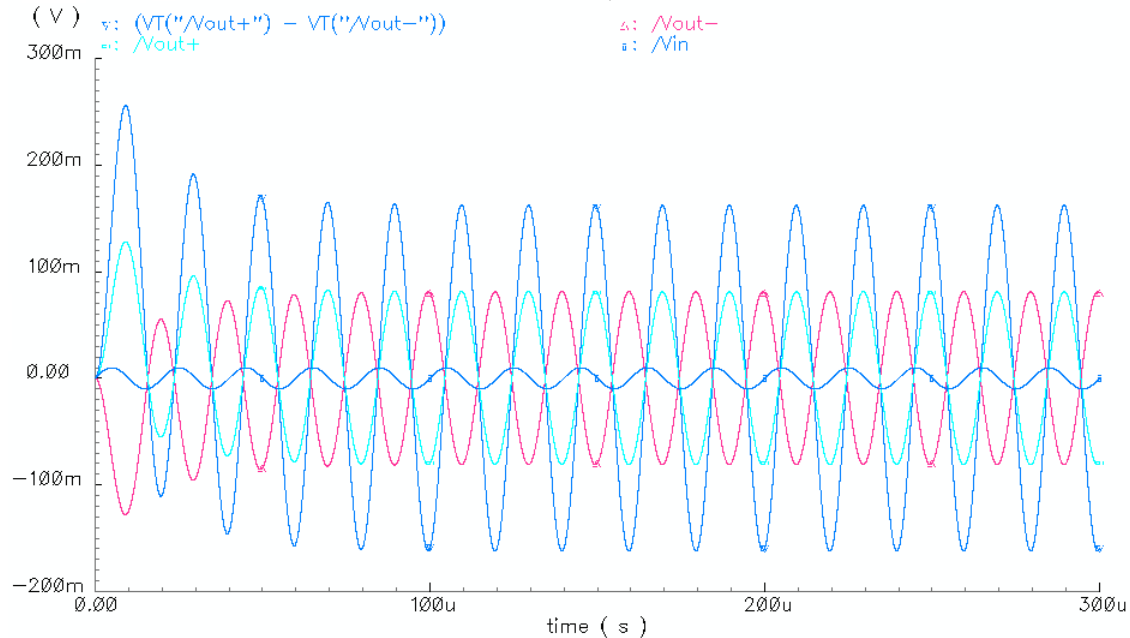
De nuevo necesitaríamos copiar una corriente determinada para que circule tanto por M3 como por M4, pero anulando el lazo de M3. La corriente necesaria para este caso vuelve a ser menos que en el OTA1, en torno a los 8 μA . Si colocamos otro transistor PMOS conectando su fuente a V_{DD} y uniendo su base con las bases de M3 y M4 y a su vez colocando una fuente de corriente en su drenador podemos obtener la misma corriente de polarización en M3 y M4. Para conseguirlo volvemos a utilizar un circuito de control del modo común de la señal de salida. Esto es necesario para que la salida tenga una componente DC fija y podamos tener nosotros su control.

La corriente I_{B2} utilizada en este circuito es 16,14 μA , muy parecida al caso del OTA2 (14,32 μA) y mucho menor que el caso del OTA1 (112,1 μA).

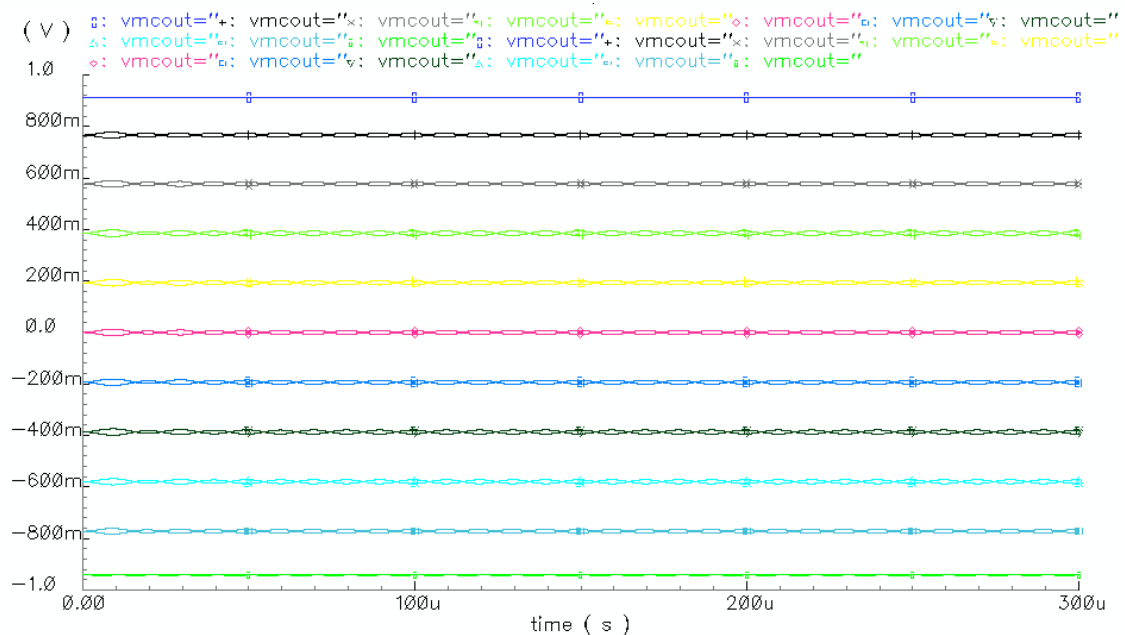
A continuación mostramos el circuito resultante del OTA2 junto con la primera modificación (FGT a la entrada del par diferencial) y la segunda modificación para hacer que pase a tener salida diferencial.



Del mismo modo que hemos hecho con los otros dos OTAs vamos a mostrar la respuesta del sistema ante una entrada de una señal sinusoidal de 10 mV de amplitud y 50 kHz de frecuencia, fijando el modo común de salida a cero. Vemos claramente como se mantiene el nivel de DC nulo de las señales de salida V_{out+} y V_{out-} .

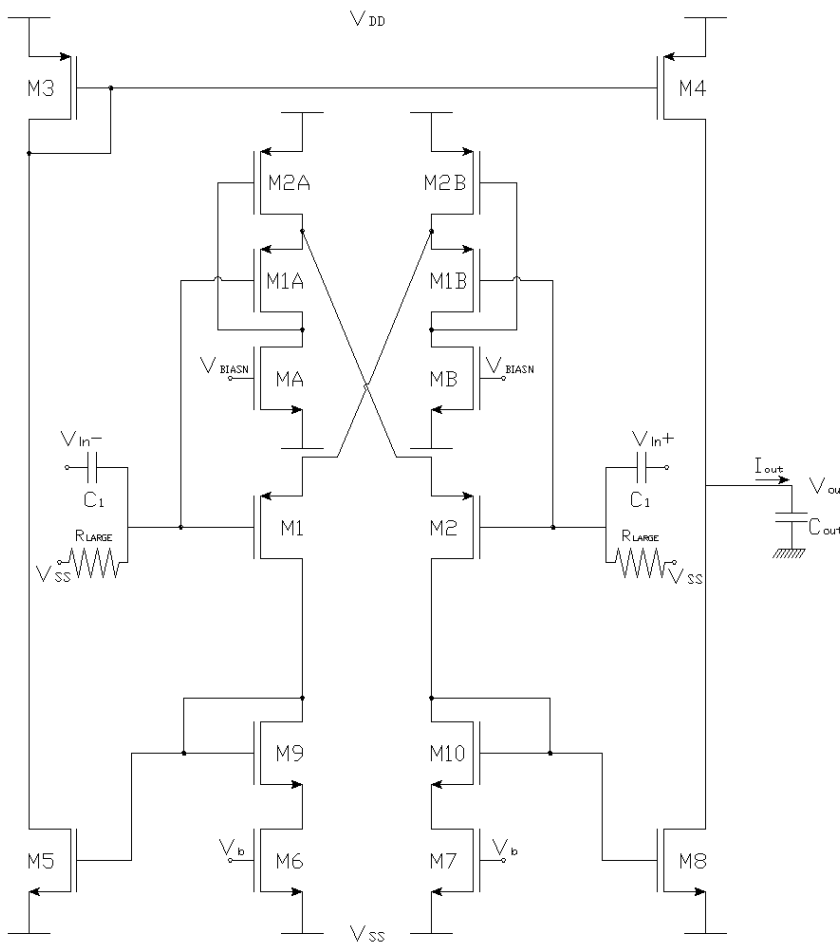


La última simulación muestra el funcionamiento del control del modo común de salida a diferentes tensiones. Para excitar el circuito hemos utilizado una señal sinusoidal de 1 mV de amplitud y 50 kHz. Los valores del modo común de salida deseados van desde -1 V hasta +1 V en pasos de 200 mV.



QFG a la entrada (OTA3+mod3)

Por último utilizamos la técnica de puerta cuasiflotante. Conectaremos a la resistencia elevada la tensión de alimentación negativa V_{SS} (fijando el nivel de DC, sin afectar a la señal de AC generada por la aportación individual de cada una de las entradas capacitivas). Como estamos utilizando topología P en el par diferencial de entrada, conseguimos de esta manera mantener bien polarizados dichos transistores para mayores variaciones del modo común de la señal de entrada.



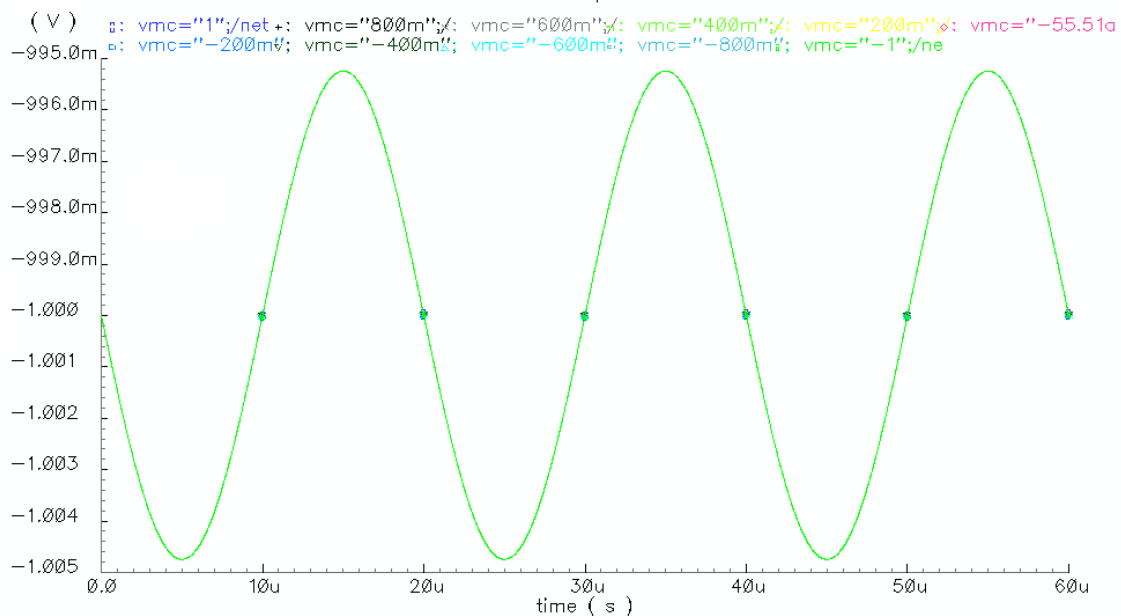
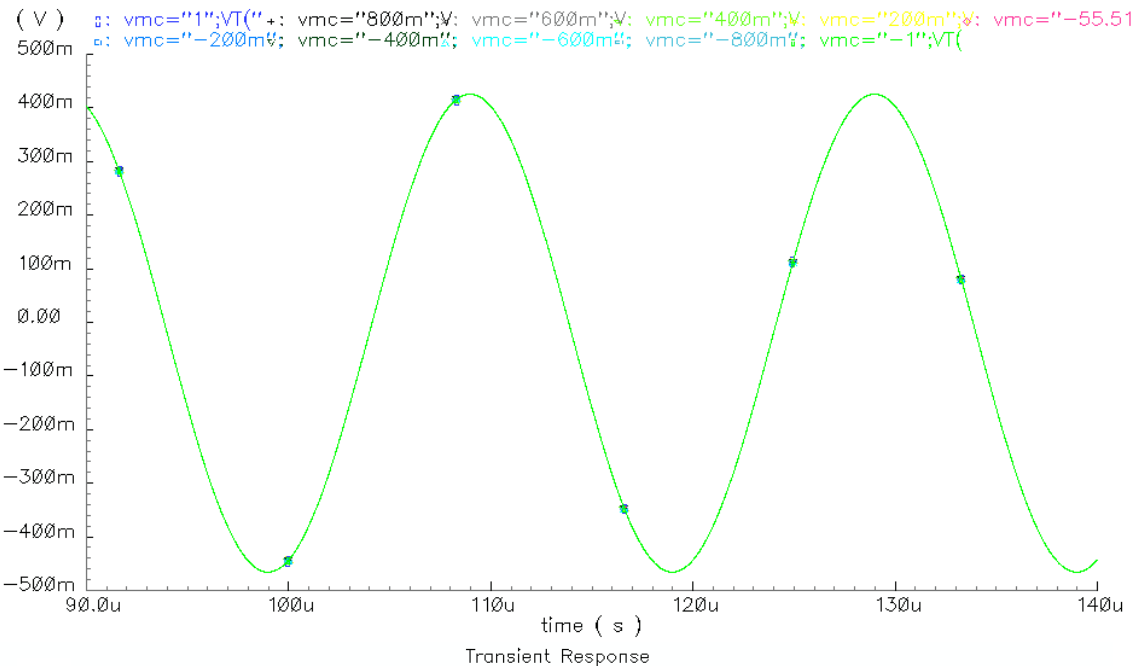
En la siguiente figura mostramos la configuración con la puerta cuasiflotante a la entrada. Tal y como mencionamos en el apartado 3, para evitar el área generada por una puerta con un condensador muy grande, sustituimos el condensador por un transistor en configuración de alta resistencia, fijando de esta forma la tensión DC (dando lugar a la puerta cuasiflotante).

Esto nos permite fijar el nivel de DC en la puerta de los transistores M1 y M2 de forma manual, pudiendo controlar el modo de funcionamiento de estos.

Como conclusión de esta configuración podemos decir que el modo común de la señal de entrada no va a afectar a la señal que aparece a la puerta de los transistores que forman el par diferencial de entrada en el sistema.

Realizamos la misma simulación para comprobar cómo afecta la variación del modo común de entrada a la salida del sistema. Para ello utilizamos una señal sinusoidal de frecuencia 50 kHz y 10 mV de amplitud.

En la primera imagen vemos que todas las señales de salida son iguales, o lo que es lo mismo, el modo común de la señal de entrada no varía el nivel de DC de la señal que aparece en la puerta cuasiflotante (ya que queda fijado por la tensión de alimentación negativa). En la segunda gráfica mostramos la señal V- de a la puerta del transistor M1 y vemos como es idéntica para cualquier modo común de la señal de entrada (el nivel de DC queda fijado por V_{SS}).



6 – COMPARACIÓN OTA Y SUS MODIFICACIONES

Tras la presentación de las topologías vistas en el apartado 5 vamos a realizar una exhaustiva comparación entre ellas. Vamos a usar las mismas condiciones en todos los circuitos (misma alimentación, misma carga, misma excitación...). La estrategia a seguir va a ser presentar cada tipo de medición y después los resultados de cada uno de los circuitos. Al final del apartado veremos una tabla resumen con todos los resultados de todos los circuitos.

Vamos a tomar medidas de dos maneras distintas, usando los circuitos en lazo abierto y usándolos en lazo cerrado (como seguidores de tensión).

Recordamos los circuitos a estudiar:

- OTA base
- OTA adaptativo
- OTA1
 - OTA1+mod1
 - OTA1+mod1+mod2
 - OTA1+mod3
- OTA2
 - OTA2+mod1
 - OTA2+mod1+mod2
 - OTA2+mod3
- OTA3
 - OTA3+mod1
 - OTA3+mod1+mod2
 - OTA3+mod3

6.I Lazo abierto

Slew-Rate

La primera medición que vamos a hacer es el Slew-Rate en todos y cada uno de los circuitos presentados. Para excitar los circuitos vamos a utilizar tres señales distintas. Todas ellas son señales cuadradas de con periodo 400 μ s, pero su amplitud será distinta. La primera tiene una tensión de ± 1 mV, la segunda será de ± 50 mV y la última de ± 1 V.

| V/ μ S | | Señal ± 1 mV | | Señal ± 50 mV | | Señal ± 1 V | |
|----------------|-----------|---------------------|-----------------------|---------------------|-----------------------|---------------------|-----------------------|
| | | SlewRate \uparrow | SlewRate \downarrow | SlewRate \uparrow | SlewRate \downarrow | SlewRate \uparrow | SlewRate \downarrow |
| OTA Base | | 2,316E-03 | 2,307E-03 | 1,513E-01 | 1,489E-01 | 0,399 | 0,399 |
| OTA Adaptativo | | 2,921E-03 | 2,904E-03 | 1,918E-01 | 1,894E-01 | 5,345 | 5,462 |
| OTA 1 | Normal | 1,283E-02 | 1,292E-02 | 8,168E-01 | 8,919E-01 | 20,183 | 30,814 |
| | Mod1 | 1,065E-02 | 1,069E-02 | 6,698E-01 | 7,355E-01 | 20,164 | 30,662 |
| | Mod1+Mod2 | 9,259E-03 | 9,256E-03 | 5,524E-01 | 5,444E-01 | 5,214 | 5,203 |
| | Mod3 | 2,440E-02 | 2,554E-02 | 1,290E+00 | 1,862E+00 | 20,045 | 42,980 |
| OTA 2 | Normal | 4,106E-03 | 4,089E-03 | 3,021E-01 | 3,008E-01 | 25,839 | 79,546 |
| | Mod1 | 3,755E-03 | 3,753E-03 | 3,349E-01 | 3,505E-01 | 12,883 | 19,610 |
| | Mod1+Mod2 | 3,335E-03 | 3,333E-03 | 2,486E-01 | 2,378E-01 | 0,948 | 0,948 |
| | Mod3 | 1,383E-02 | 1,365E+01 | 1,379E+00 | 1,499E+00 | 17,714 | 68,522 |
| OTA 3 | Normal | 4,887E-03 | 4,859E-03 | 3,415E-01 | 3,402E-01 | 26,633 | 85,621 |
| | Mod1 | 4,410E-03 | 4,405E-03 | 3,187E-01 | 3,056E-01 | 24,886 | 57,246 |
| | Mod1+Mod2 | 3,771E-03 | 3,780E-03 | 2,717E-01 | 2,485E-01 | 1,062 | 1,062 |
| | Mod3 | 1,102E-02 | 1,152E-02 | 7,533E-01 | 1,093E+00 | 22,205 | 48,312 |

Si introducimos señales pequeñas los sistemas de mejora que hemos aplicado al OTA base no llegan a ser eficientes (adaptación de polarización y espejos no lineales). Por esto podemos ver que los valores del Slew-Rate con la señal de 1 mV son muy bajos para todos los casos. De hecho entre el OTA base y el adaptativo obtenemos valores parecidos. Con la introducción de espejos no lineales (OTA X Normal) sí que se nota cierta mejoría. Para notar cómo actúan las mejoras en valores de Slew-Rate tenemos que utilizar una señal suficientemente grande como para que entren en funcionamiento.

Con la señal de 50 mV se observa la mejora que produce el sistema adaptativo de polarización. También observamos que la introducción de los espejos no lineales mejora sustanciosamente el Slew-Rate.

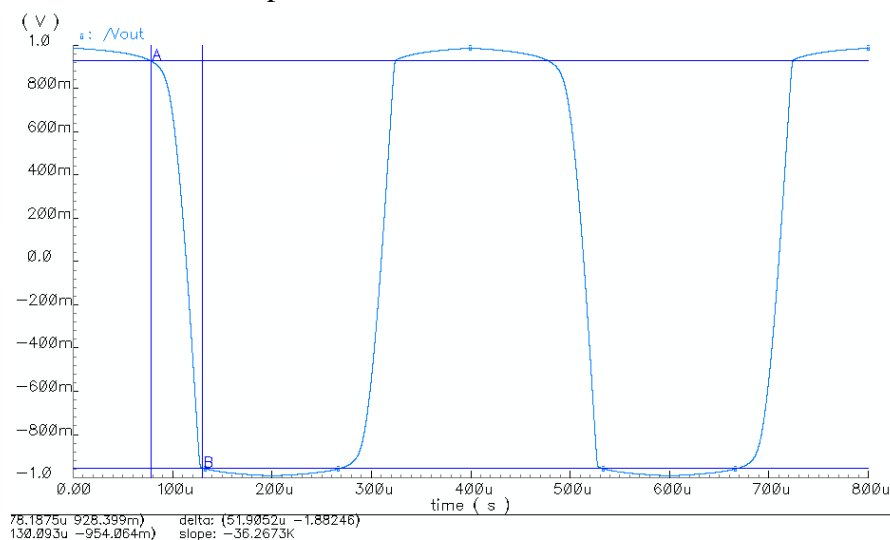
Por ultimo con la señal de 1 V conseguimos saturar el sistema, haciendo que se note todavía más el efecto de los espejos no lineales y la adaptación de la corriente.

Vemos cómo la introducción de la primera modificación (FGT a la entrada del par diferencial) supone un decremento del Slew-Rate en todos los casos. Debemos recordar que el transistor de puerta flotante se comporta como un divisor de tensión capacitivo, por lo que comprimimos la señal de entrada, por lo que es normal que se reduzca el Slew-Rate. A efectos prácticos es cómo si estuviéramos introduciendo en el sistema una señal más pequeña, por eso los sistemas de aumento de corriente de salida actúan en menor medida.

El uso de la técnica de puerta cuasiflotante (conectando la puerta de control principal a la tensión de alimentación negativa) vemos que aumenta el Slew-Rate respecto a la configuración de puerta flotante. Esto es debido a que el punto de operación se ha cambiado al bajar la tensión en las puertas de los transistores M1 y M2, y a que no se produce una compresión de la señal de entrada.

Saturación

Para medir la tensión a la que se saturan los circuitos vamos a usar una señal de excitación triangular. Veremos a la salida donde se recorta dicha señal, será justamente la tensión máxima (y mínima) posible sin deformar la entrada. La señal triangular que hemos utilizado vuelve a tener un periodo de 400 μ s y una tensión máxima de ± 100 mV. Es una señal suficientemente grande como para saturar el circuito y poder ver claramente los límites aceptables.



Mostramos en esta captura cómo obtenemos los niveles aceptables de señal de salida. Vemos claramente como la señal de salida intenta tener la forma triangular de la entrada amplificada. Como se satura el sistema se corta claramente la señal de subida (y bajada). Este es el caso concreto del OTA 2 con la primera modificación.

| mV | | Señal ± 100 mV | |
|----------------|----------------|--------------------|---------------------|
| | | Límite \uparrow | Límite \downarrow |
| OTA Base | | 946 | -939 |
| OTA Adaptativo | | 958 | -944 |
| OTA 1 | Normal | 773 | -848 |
| | Mod1 | 734 | -803 |
| | Mod1+Mod2 | 1549 | -1532 |
| | Mod3 | 738 | -748 |
| OTA 2 | Normal | 953 | -965 |
| | Mod1 | 928 | -954 |
| | Mod1+Mod2 | 1850 | -1866 |
| | Mod3 | 953 | 917 |
| OTA 3 | Normal | 949 | -965 |
| | Mod1 | 927 | -948 |
| | Mod1+Mod2 | 1854 | -1854 |
| | Mod1+Mod2+Mod3 | 912 | 943 |

Viendo la tabla de resultados vemos que en el caso del primer espejo no lineal obtenemos resultados menores al resto de los casos. Esto es debido a que la tensión de saturación V_{DS} de los transistores M4 y M8 a causa de que la tensión en sus puertas es inferior al resto de casos.

Comparando la saturación obtenida dentro de cada tipo de OTA según las modificaciones realizadas podemos ver que obtenemos valores prácticamente iguales. El único caso especial es el de salida doble, que lógicamente obtiene valores dos veces mayores al resto. Es un resultado esperado, ya que tenemos dos salidas prácticamente iguales pero de signo contrario.

Diagramas de Bode

Vamos a calcular la ganancia en tensión en función de la frecuencia. También atenderemos al desfase introducido por los circuitos.

| BODE | | Ganancia DC dB | Frecuencia corte kHz | GBW | MF Grados |
|----------------|-----------|-------------------|-------------------------|-----------|--------------|
| OTA Base | | 38,12 | 6,3 | 5,035E+05 | 90,13 |
| OTA Adaptativo | | 41,01 | 5,6 | 6,335E+05 | 81,71 |
| OTA 1 | Normal | 34,53 | 52,1 | 2,774E+06 | 76,72 |
| | Mod1 | 32,32 | 56,2 | 2,319E+06 | 82,38 |
| | Mod1+Mod2 | 32,41 | 48,3 | 2,014E+06 | 83,97 |
| | Mod3 | 37,22 | 66,1 | 4,796E+06 | 72,41 |
| OTA 2 | Normal | 41,18 | 7,8 | 8,920E+05 | 85,70 |
| | Mod1 | 38,85 | 9,7 | 8,488E+05 | 89,03 |
| | Mod1+Mod2 | 39,01 | 8,0 | 7,179E+05 | 89,69 |
| | Mod3 | 44,95 | 15,3 | 2,707E+06 | 84,70 |
| OTA 3 | Normal | 41,86 | 14,8 | 1,837E+06 | 84,60 |
| | Mod1 | 39,07 | 18,0 | 1,617E+06 | 88,67 |
| | Mod1+Mod2 | 39,08 | 9,1 | 8,174E+05 | 89,41 |
| | Mod3 | 43,12 | 16,3 | 2,332E+06 | 86,51 |

Comparando la ganancia que obtenemos en el OTA base y el adaptativo vemos como mejora en unos 3 dB la señal del caso adaptativo. Es lógico este resultado ya que precisamente el módulo adaptativo se encarga de entregar más corriente a los transistores inferiores, aumentando así la corriente de salida (copiada por los espejos inferiores y superiores). Vemos que la frecuencia de corte del caso adaptativo disminuye, pero el valor del producto ganancia por ancho de banda aumenta. Podemos decir que el OTA adaptativo obtiene mejores resultados.

Como comportamiento general de los tres tipos de OTA podemos fijarnos en que la introducción de transistores de puerta flotante en el par diferencial de entrada (modificación 1) supone un decremento de la ganancia (2.2, 2.3 y 2.8 dB respectivamente). De nuevo si recordamos que el comportamiento del transistor de puerta flotante es el de divisor capacitivo de tensión entendemos que la señal de entrada sufre una compresión. Esto hace que la ganancia sea menor en todos los casos de la

modificación 1. Recordamos también que es un efecto deseado ya que conseguimos que entradas superiores a las que el circuito sin FGT podría aceptar sean compatibles, consiguiendo procesar sin problemas señales rail-to-rail.

La segunda modificación es conseguir que el circuito entregue la señal de salida como la resta de la media señal positiva menos la media señal negativa. Reflexionando sobre el comportamiento de los transistores M3 y M4 en el OTA X, vemos que su función es copiar la corriente copiada por el espejo no lineal en la parte inferior izquierda. Esta corriente, junto a la corriente que se copia en el otro espejo no lineal, se suma en la rama de salida, obteniendo “el doble” de corriente a la salida. Cuando hacemos que el circuito tenga salida diferencial obtenemos la corriente de polarización en M3 y M4 gracias al circuito de control del modo común de salida, dejando de actuar como espejos de las corrientes copiadas en los espejos no lineales de la parte inferior.

Esto supone que la corriente en cualquiera de las ramas de salida sea justamente la mitad de la que obteníamos en el caso de salida simple. Tras esta reflexión podríamos pensar que no compensa complicar el circuito (usando el sistema de control de modo común, variando el sistema original) ya que no obtenemos mejoras en la amplitud de la señal, de hecho el producto ganancia por ancho de banda disminuye en todos los casos. En el apartado de distorsión veremos con detalle cómo mejora el sistema utilizando la salida diferencial, anulando en gran parte los armónicos de segundo orden.

La tercera modificación es utilizar la tensión de alimentación negativa para polarizar los transistores del par diferencial mediante la técnica de puerta cuasiflotante. Esto hace que la tensión en DC que aparece en la puerta de estos transistores sea considerablemente inferior a la que obtenemos en el resto de los casos. Por ello la corriente de polarización de dichos transistores aumenta, incrementando a su vez la transconductancia de cada uno de ellos (aumentando a su vez el consumo) y por tanto la ganancia del sistema.

Comparando los resultados generales entre los OTAs observamos que la primera ofrece una ganancia de unos 6.5 dB menor que la segunda y la tercera, pero su

frecuencia de corte es de unos 50 kHz mientras que la segunda y a tercera es de unos 8 y 15 kHz. El mayor producto ganancia por ancho de banda lo ofrecen la primera y la última, por lo que podríamos decir que si lo que nos interesa es una mayor frecuencia de trabajo debemos elegir el OTA 1, pero si queremos una mayor ganancia deberíamos escoger el OTA 3 (ofreciendo ganancia parecida al OTA 2 tiene mayor frecuencia de corte).

En las gráficas de la siguiente página mostramos el diagrama de Bode del caso del OTA3 con la modificación 1 y la 2. En la primera de ellas mostramos cómo hemos calculado la frecuencia de corte, buscando una diferencia de ganancia de -3 dB. La segunda muestra el cálculo del margen de fase, buscando la frecuencia a la que tenemos ganancia 0 dB y haciendo hallando la diferencia de grados entre el desfase a dicha frecuencia y -180°. Notemos que la frecuencia a la que tenemos una ganancia de 0 dB (ganancia de 1 en tensión) es precisamente el valor del producto ganancia por ancho de banda. Este proceso es el que hemos seguido para obtener dichos valores para cada uno de los casos que nos ocupan.

Diagrama de Bode: Cálculo de la frecuencia de corte

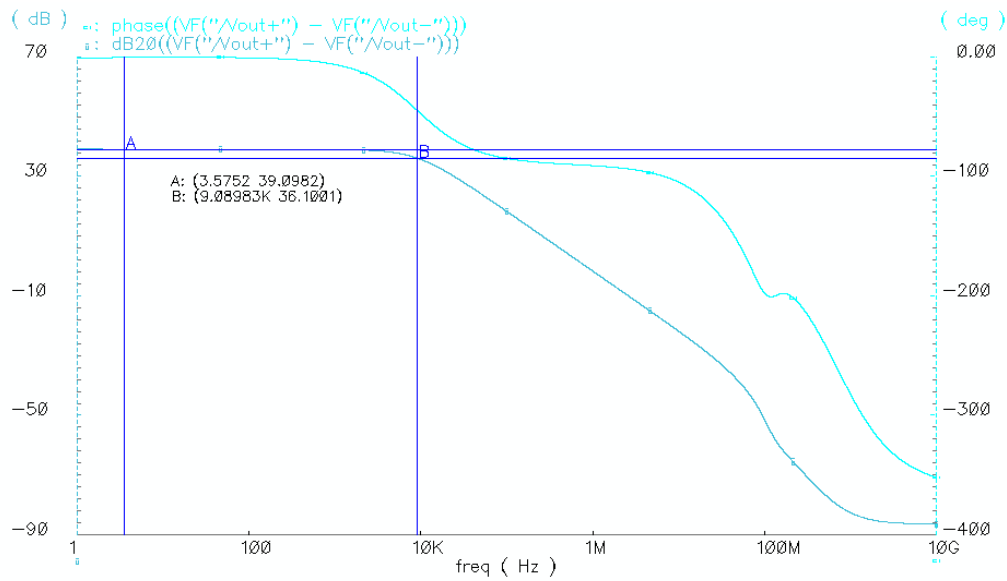
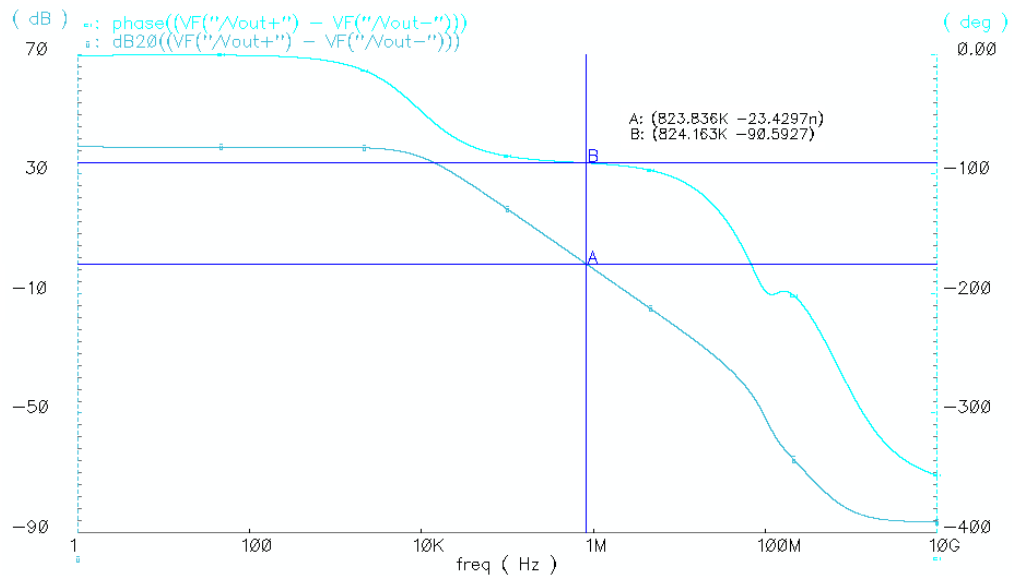


Diagrama de Bode: Cálculo del margen de fase



Distorsión armónica

El simulador permite hacer el cálculo de la DFT de cualquier señal. Aprovecharemos la DFT para comparar la calidad de cada uno de los circuitos. Gracias a la DFT podremos ver la diferencia entre la componente fundamental y los armónicos y también podremos calcular la distorsión armónica total (**Total Harmonic Distortion**). Vamos a realizar pruebas con cuatro señales distintas. Todas van a ser sinusoidales, usaremos dos frecuencias y dos amplitudes distintas para tener una idea mejor del comportamiento global de cada circuito en términos de distorsión.

| Distorsión | | Señal ± 1 mV | | | | Señal ± 10 mV | | | |
|----------------|-----------|--------------|---------|--------------|--------|---------------|---------|--------------|---------|
| | | THD | | 1º - 2º (dB) | | THD | | 1º - 2º (dB) | |
| | | 1 kHz | 50 kHz | 1 kHz | 50 kHz | 1 kHz | 50 kHz | 1 kHz | 50 kHz |
| OTA Base | | 0,05229 | 0,00727 | 65,88 | 84,48 | 2,30195 | 0,04695 | 48,39 | 66,85 |
| OTA Adaptativo | | 0,07831 | 0,01212 | 62,44 | 81,01 | 7,67823 | 0,05964 | 35,35 | 64,92 |
| OTA 1 | Normal | 0,08709 | 0,02822 | 61,30 | 71,00 | 2,08170 | 0,49364 | 36,20 | 47,41 |
| | Mod1 | 0,07941 | 0,02986 | 62,05 | 70,51 | 1,42967 | 0,42204 | 38,91 | 48,36 |
| | Mod1+Mod2 | 0,00163 | 0,00027 | 148,19 | 162,76 | 0,16761 | 0,02787 | 131,76 | 162,30 |
| | Mod3 | 0,21035 | 0,09298 | 53,62 | 60,66 | 5,49490 | 2,15480 | 27,56 | 34,70 |
| OTA 2 | Normal | 0,08445 | 0,00143 | 61,71 | 99,68 | 8,11468 | 0,01571 | 33,48 | 79,68 |
| | Mod1 | 0,06802 | 0,00154 | 63,48 | 96,54 | 2,98052 | 0,04164 | 41,75 | 76,63 |
| | Mod1+Mod2 | 0,00272 | 0,00062 | 146,88 | 109,99 | 0,32151 | 0,03644 | 124,52 | 110,22 |
| | Mod3 | 0,13540 | 0,00754 | 58,38 | 82,96 | 19,26900 | 0,25236 | 56,98 | 64,0,93 |
| OTA 3 | Normal | 0,09312 | 0,00172 | 60,91 | 96,56 | 10,17000 | 0,01803 | 34,20 | 76,67 |
| | Mod1 | 0,06916 | 0,00177 | 63,37 | 95,11 | 3,28886 | 0,02718 | 42,89 | 75,15 |
| | Mod1+Mod2 | 0,00325 | 0,00023 | 146,83 | 119,35 | 0,38002 | 0,01686 | 123,20 | 119,57 |
| | Mod3 | 0,10266 | 0,00637 | 60,55 | 84,09 | 14,35580 | 0,13249 | 49,24 | 65,16 |

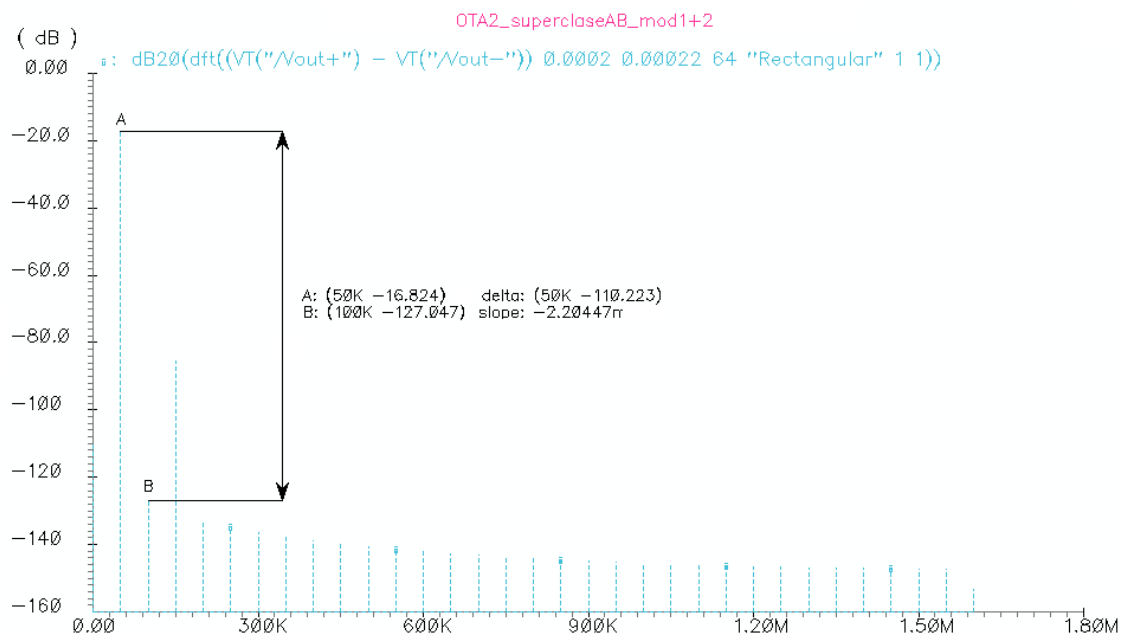
Para obtener estos resultados hemos utilizado la misma resolución en la simulación (paso máximo de 0.001 μ s para las señales de 50 kHz y 0.01 μ s para las de 1 kHz). Debemos tener en cuenta que la señal de amplitud 10 mV ofrece una salida que en todos los casos ronda el límite de saturación de los circuitos. Por ello es hay una serie de datos que dan resultados de distorsión armónica total mucho mayor que lo esperado.

De nuevo vamos a comprar en primer lugar los resultados obtenidos para el OTA base y el adaptativo. En todos los valores obtenidos vemos cómo se comporta ligeramente peor el OTA adaptativo que el base. Como sabemos, el OTA adaptativo ofrece una ganancia mayor, lo que hace que la distorsión introducida sea mayor. Mencionar que también podemos apreciar estos datos en la relación de la componente fundamental y el segundo armónico, para las cuatro señales obtenemos peores resultados en el OTA adaptativo. En el caso de la señal de 10 mV estamos en el límite de saturación, por eso se agrava la degeneración de la señal al aumentar la ganancia.

Comparando la distorsión armónica en cada una de los OTAs con su primera modificación observamos que para la señal de 1 mV obtenemos ligeramente mejores resultados usando la primera modificación. Recordamos que la primera modificación es el uso de FGT en el par diferencial de entrada. Se produce una compresión de la señal de entrada, por lo que el circuito en global ofrece una ganancia menor, dando así

resultados mejores en términos de distorsión. De nuevo cuando atendemos a los resultados obtenidos con la señal de 10 mV la mejora es mucho mayor. Esto es debido a que al estar en el límite de saturación, los OTAs normales tienen una gran distorsión armónica total, pero si aplicamos la primera modificación reducimos la ganancia del circuito, obteniendo a la salida una señal que no satura tanto el circuito.

En la segunda modificación es donde conseguimos unos valores mucho menores de distorsión armónica total. Como ya hemos comentado, la ventaja principal de tener la salida dividida en dos partes, una positiva y otra negativa, es que al hacer la resta entre ellas hay efectos de distorsión que gracias a la propia simetría del circuito se anulan (de segundo orden). Esto se ve claramente reflejado en los valores de diferencia entre la componente fundamental y el segundo armónico. En los valores obtenidos para la señal de 1 kHz es donde mejor se observa este efecto. En todos ellos hay una gran mejora, traduciéndose en valores de distorsión armónica total mucho mejores. Con la señal de 50 kHz se observa que la mejora no es tanta como en el caso de 1 kHz. Esto es debido a que la ganancia que ofrecen los circuitos a dicha frecuencia es mucho menor, dando lugar a distorsiones menores. En el caso del OTA 1 donde la frecuencia de corte es de más de 50 kHz, vemos que la mejora sigue siendo muy grande a dicha frecuencia.



En la gráfica hemos mostrado el resultado de la DFT para el caso del OTA2 con la modificación 1 y 2. La señal de excitación es una senoide de 50 kHz de frecuencia y 10 mV de amplitud. Como es lógico obtenemos un resultado de valores discretos, siempre en valores de frecuencia múltiplos de la frecuencia fundamental (50 kHz). Podemos observar que el valor a la frecuencia 0 Hz (DC) es de unos -110 dB, es decir, prácticamente nulo (gracias al control del modo común que se encarga de hacer desaparecer el nivel de DC). El valor de la componente del segundo armónico es mucho menor que el del tercer armónico. Como ya hemos explicado es gracias a la mejora de la modificación 2.

En el caso de la tercera modificación observamos que conseguimos unos resultados notablemente peores. Esto es debido a la mayor ganancia que obtenemos con dicha modificación. Esta ganancia hace que perdamos linealidad en la salida cuando el amplificador opera en lazo abierto.

Relación de rechazo de la alimentación (PSRR)

El valor del PSRR (**P**ower **S**upply **R**ejection **R**atio) indica la ganancia que ofrece el circuito respecto a variaciones de la tensión de alimentación. Como en nuestros circuitos la alimentación es simétrica podemos obtener dos valores, PSRR+ y PSRR-, uno para la alimentación positiva y otro para la negativa.

Definimos PSRR como:

$$PSRR+ = 20 \cdot \log \frac{A_d}{A_{VDD}} \quad \text{donde:} \quad A_{VDD} = \frac{\Delta V_{out}}{\Delta V_{DD}}$$

$$PSRR(dB)+ = A_d(dB) - A_{VDD}(dB)$$

$$PSRR- = 20 \cdot \log \frac{A_d}{A_{VSS}} \quad \text{donde:} \quad A_{VSS} = \frac{\Delta V_{out}}{\Delta V_{SS}}$$

$$PSRR(dB)- = A_d(dB) - A_{VSS}(dB)$$

Para todos y cada uno de los circuitos obtenemos las siguientes ganancias en decibelios (A_0 es la ganancia normal a bajas frecuencias, A_{VDD} es la ganancia respecto a la tensión de alimentación positiva y A_{VSS} es la ganancia respecto a la tensión de alimentación negativa):

| PSRR (dB) | | A_0 | A_{VDD} | A_{VSS} | PSRR+ | PSRR- |
|----------------|-----------|-------|-------------|-------------|--------------|--------------|
| OTA Base | | 38,12 | -0,04 | -46,8451 | 38,16 | 84,97 |
| OTA Adaptativo | | 41,01 | -6,24 | -40,3262 | 47,25 | 81,34 |
| OTA 1 | Normal | 34,53 | -7,87 | -31,19 | 42,40 | 65,72 |
| | Mod1 | 32,32 | -0,34 | -28,55 | 32,66 | 60,87 |
| | Mod1+Mod2 | 32,41 | -270/-25,95 | -230/-20,25 | 302,41/58,63 | 260/52,66 |
| | Mod3 | 37,22 | -4,48 | -9,28229 | 41,70 | 46,50 |
| OTA 2 | Normal | 41,18 | -14,71 | -35,35 | 55,89 | 76,53 |
| | Mod1 | 38,85 | -0,27 | -30,54 | 39,12 | 69,39 |
| | Mod1+Mod2 | 39,01 | -280/-25,76 | -260/-21,46 | 319,01/64,77 | 299,01/60,47 |
| | Mod3 | 44,95 | -8,90 | -5,35279 | 53,85 | 50,30 |
| OTA 3 | Normal | 41,86 | -19,28 | -34,84 | 61,14 | 76,70 |
| | Mod1 | 39,07 | -0,28 | -30,22 | 39,35 | 69,29 |
| | Mod1+Mod2 | 39,08 | -285/-25,36 | -265/-21,20 | 324,08/64,44 | 304,79/60,28 |
| | Mod3 | 43,12 | -6,81 | -5,63427 | 49,92 | 48,75 |

De los resultados cabe destacar que tanto para el OTA base, como para el resto de OTAs con la primera modificación la ganancia que obtenemos con respecto a V_{dd} es cercana a 0 dB, es decir, ganancia unidad. La tensión de salida sigue a la tensión de alimentación a bajas frecuencias.

Todos los circuitos tienen un rechazo mejor para la tensión de alimentación negativa que para la positiva, excepto el caso de salida diferencial. Esto se debe a que los transistores P son de tamaño superior a los N. Los condensadores parásitos que aparecen en los transistores P son mayores que los N, haciendo que le acople más a la salida la señal de alimentación positiva.

Fijémonos en los resultados obtenidos para los OTAs con la salida diferencial (modificación 2). Son valores muchísimo más bajos que el resto. Recordamos que la salida es diferencial, es decir, restamos el valor de la tensión obtenida en la rama de salida derecha menos la tensión de la rama izquierda. Las dos ramas se comportan exactamente igual ante cambios de tensión de alimentación (positiva o negativa). Al tener el mismo comportamiento haciendo la resta obtenemos prácticamente un resultado nulo. Podríamos decir que esta es otra buena característica que nos ofrece la segunda modificación. El segundo valor que aparece en la casilla de la ganancia de los OTAs diferenciales corresponde a la medición en una de las ramas de salida.

En la tercera modificación vemos cómo la tensión de alimentación negativa influye mucho más que en los casos anteriores. Esto es debido a que esta tensión es directamente la tensión en DC que fijamos en la puerta de los transistores que forman el par diferencial. Esta tensión DC fija a su vez la ganancia de dichos transistores, por lo que hace más vulnerable el sistema ante posibles variaciones. Esto se traduce en unos resultados peores en los casos de PSRR negativa.

Relación de rechazo del modo común (CMRR)

Esta valor (**Common Mode Rejection Ratio**) muestra la capacidad del circuito para rechazar la entrada en modo común. Necesitamos obtener la ganancia en modo común, es decir, unir las dos entradas y ver la variación que obtenemos a la salida para la variación introducida en las dos entradas cortocircuitadas.

Se define CMRR como:

$$CMRR = 20 \cdot \log \left(\frac{A_d}{A_{MC}} \right) \quad \text{donde:} \quad A_{MC} = \frac{\Delta V_{out}}{\Delta V_{MC}}$$

$$CMRR(dB) = A_d(dB) - A_{MC}(dB)$$

| CMRR (dB) | | A_0 | A_{MC} | CMRR |
|----------------|-----------|-------|----------|--------|
| OTA Base | | 38,12 | -184,73 | 222,85 |
| OTA Adaptativo | | 41,01 | -5,97 | 46,98 |
| OTA 1 | Normal | 34,53 | -4,90 | 39,43 |
| | Mod1 | 32,32 | -59,73 | 92,05 |
| | Mod1+Mod2 | 32,41 | -51,29 | 83,70 |
| | Mod3 | 37,22 | -13,85 | 51,07 |
| OTA 2 | Normal | 41,18 | -1,95 | 43,13 |
| | Mod1 | 38,85 | -63,60 | 102,45 |
| | Mod1+Mod2 | 39,01 | -54,52 | 93,54 |
| | Mod3 | 44,95 | -9,92 | 54,87 |
| OTA 3 | Normal | 41,86 | -1,18 | 43,04 |
| | Mod1 | 39,07 | -63,47 | 102,54 |
| | Mod1+Mod2 | 39,08 | -54,45 | 93,53 |
| | Mod3 | 43,12 | -17,42 | 60,54 |

Para los casos de salida diferencial vamos a tomar los valores de una de las dos salidas. Ya que si hiciéramos la resta entre las dos ramas anularíamos la ganancia (sufren la misma ganancia respecto al modo común las dos ramas). Notemos que esto es deseable, ya que consigue rechazar la entrada en modo común.

El resultado deseado es que la ganancia A_{MC} sea nula ($-\infty$ en dB). Los peores resultados los obtenemos en el OTA adaptativo y en los OTAs sin modificaciones.

Consumo

Esta característica es importante para poder elegir un circuito frente ante otro. Pude ser que tengamos valores de Slew-Rate parecidos en dos circuitos (o cualquier otro parámetro) pero uno de ellos consuma menos que el otro.

Para medir el consumo que tenemos en los circuitos únicamente atendemos las corrientes que circulan por el circuito principal, es decir, no sumamos las corrientes de los circuitos auxiliares que hemos utilizado para conseguir las tensiones V_{BIASN} , V_{BIASP} y V_b .

| Consumo | | Corriente (μA) | Tensión (V) | Potencia (μW) |
|----------------|-----------|-----------------------|-------------|----------------------|
| OTA Base | | 20,18 | 2,00 | 40,36 |
| OTA Adaptativo | | 37,93 | 2,00 | 75,86 |
| OTA 1 | Normal | 149,24 | 2,00 | 298,48 |
| | Mod1 | 163,18 | 2,00 | 326,36 |
| | Mod1+Mod2 | 276,48 | 2,00 | 552,96 |
| | Mod3 | 189,8 | 2,00 | 379,60 |
| OTA 2 | Normal | 38,59 | 2,00 | 77,18 |
| | Mod1 | 45,65 | 2,00 | 91,30 |
| | Mod1+Mod2 | 59,98 | 2,00 | 119,96 |
| | Mod3 | 59,34 | 2,00 | 118,68 |
| OTA 3 | Normal | 39,84 | 2,00 | 79,68 |
| | Mod1 | 47,27 | 2,00 | 94,54 |
| | Mod1+Mod2 | 63,556 | 2,00 | 127,11 |
| | Mod3 | 61,14 | 2,00 | 122,28 |

La introducción del módulo de adaptación de polarización supone duplicar la potencia consumida. Esto es un efecto esperado, ya que la adaptación consigue entregar más corriente a los transistores del par diferencial, según sea la entrada.

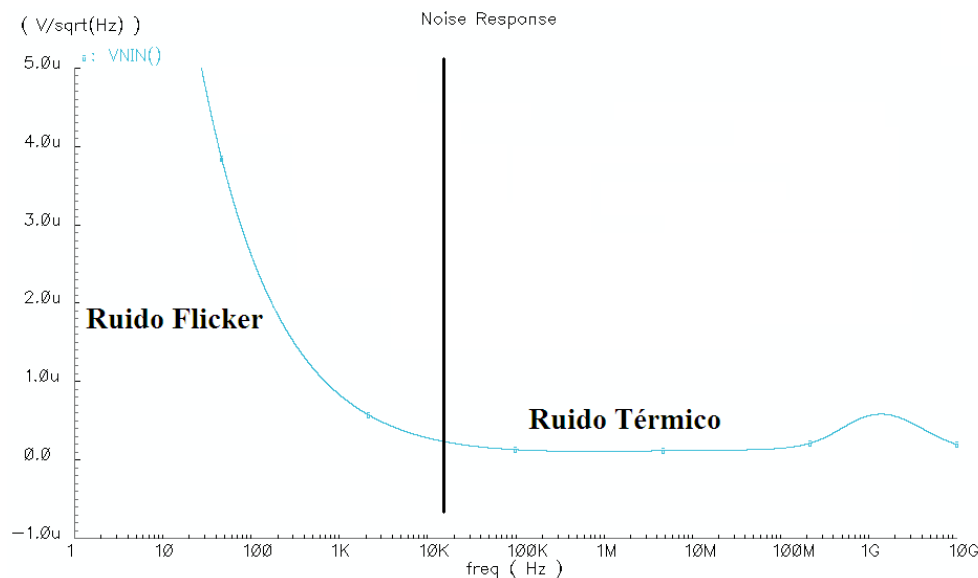
Destacamos el alto consumo del OTA1. Su espejo no lineal necesita una corriente de polarización que en los otros dos casos no es necesaria.

En todos los casos hay un aumento considerable al hacer que su salida sea diferencial. Realmente esto no supone un aumento de corrientes de polarización, sino que el aumento es debido a la introducción del circuito de control del modo común de salida. Necesitamos una corriente por lo menos del doble de la corriente que circula por cada rama de salida del OTA.

Por último debemos mencionar que el caso del uso de QFG también hace que el consumo aumente respecto de la adaptativa. Esto es debido a que la tensión de las puertas de los transistores M1 y M2 baja, haciendo que la corriente en ausencia de señal aumente.

Ruido

Vamos a medir el ruido equivalente a la entrada de nuestros circuitos. El comportamiento del ruido en general que observamos es como se muestra a continuación:



La primera parte del gráfico del ruido equivalente a la entrada vemos que tenemos valores muy altos para el ruido. El ruido dominante en esta zona es el ruido Flicker. El ruido Flicker está relacionado con la captura y liberación de electrones y huecos en uniones P-N y los estados de energía atípica que se crean entre el silicio y el óxido en transistores MOS. Su principal característica es que es inversamente proporcional a la frecuencia, por lo que, como vemos en la gráfica, sólo es relevante a bajas frecuencias.

Los valores del ruido que hemos tomado pertenecen a la parte plana de la gráfica que es el rango de frecuencias donde mayormente vamos a funcionar. Hemos tomado el valor del ruido en esa zona y hemos anotado la frecuencia inferior y superior donde el ruido aumenta un 30% sobre el valor más bajo.

| Ruido | | Frecuencia ↓ | Frecuencia ↑ | Densidad nV/√Hz | Densidad dBμV/√Hz |
|----------------|-----------|--------------|--------------|--------------------|----------------------|
| OTA Base | | 296 kHz | 83,3 MHz | 33,20 | -29,58 |
| OTA Adaptativo | | 103,4 kHz | 46,2 MHz | 39,91 | -27,98 |
| OTA 1 | Normal | 101,5 kHz | 52,5 MHz | 107,00 | -19,41 |
| | Mod1 | 94 kHz | 71 MHz | 134,30 | -17,44 |
| | Mod1+Mod2 | 44 kHz | 0,95 MHz | 164,16 | -15,69 |
| | Mod3 | 245 kHz | 46,2 MHz | 76,90 | -22,28 |
| OTA 2 | Normal | 54 kHz | 46,1 MHz | 29,00 | -30,75 |
| | Mod1 | 82,5 kHz | 56,1 MHz | 40,91 | -27,76 |
| | Mod1+Mod2 | 87,5 kHz | 75,2 MHz | 40,50 | -27,85 |
| | Mod3 | 66,1 kHz | 59 MHz | 20,36 | -33,82 |
| OTA 3 | Normal | 52,5 kHz | 31,7 MHz | 26,56 | -31,52 |
| | Mod1 | 84,7 kHz | 52,7 MHz | 38,96 | -28,19 |
| | Mod1+Mod2 | 84,8 kHz | 69,7 MHz | 38,87 | -28,21 |
| | Mod3 | 72,6 kHz | 61,66 MHz | 21,13 | -33,50 |

De nuevo tomaremos como valor de referencia el obtenido para el OTA base. Su nivel de ruido es de unos $33 \text{ nV}/\sqrt{\text{Hz}}$. Vemos cómo el usar el módulo adaptativo aumenta ligeramente el ruido térmico (y baja la frecuencia de corte superior).

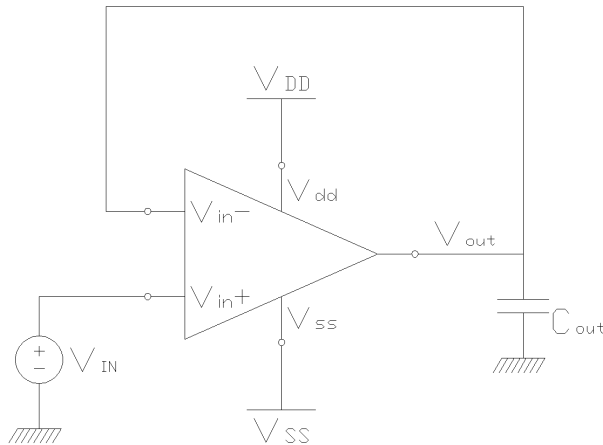
En términos generales podemos decir que el OTA1 tiene un ruido del orden de 3 veces mayor al resto de circuitos. Esto podemos relacionarlo con la corriente que atraviesa los circuitos, tal y como vimos en el apartado de consumo. El consumo del OTA1 es claramente superior al resto.

Comparando cada OTA con sus modificaciones vemos que hay un salto importante en la primera modificación. La segunda modificación y la primera dan resultados prácticamente iguales. Con la tercera modificación es cuando conseguimos los mejores resultados en todos los casos, incluso mejor que sin modificaciones.

Como conclusión podemos decir que el OTA1 se desmarca debido a su gran diferencia de valores respecto al ruido y que entre el resto de circuitos tenemos unos valores bastante semejantes, entre 21 y $41 \text{ nV}/\sqrt{\text{Hz}}$, por lo que el ruido no va a influir en la elección de cualquiera de ellos.

6.II Lazo cerrado

Ahora vamos a utilizar los OTA como seguidores de tensión, tal y como muestra la siguiente figura:



La tensión de salida será igual a la tensión de entrada. La carga será exactamente igual a los casos vistos en el apartado anterior ($C=25\text{pF}$). La alimentación sigue siendo idéntica también, $\pm 1\text{ V}$.

Este esquema es válido para todos los circuitos con salida única.

Vamos a hacer el estudio únicamente para las configuraciones de salida única.

Slew-Rate

Volvemos a utilizar las mismas señales que en el apartado 6.I para excitar los circuitos. Todas ellas son señales cuadradas de con periodo $400\text{ }\mu\text{s}$, pero su amplitud será distinta. La primera tiene una tensión de $\pm 1\text{ mV}$, la segunda será de $\pm 50\text{ mV}$ y la última de $\pm 1\text{ V}$.

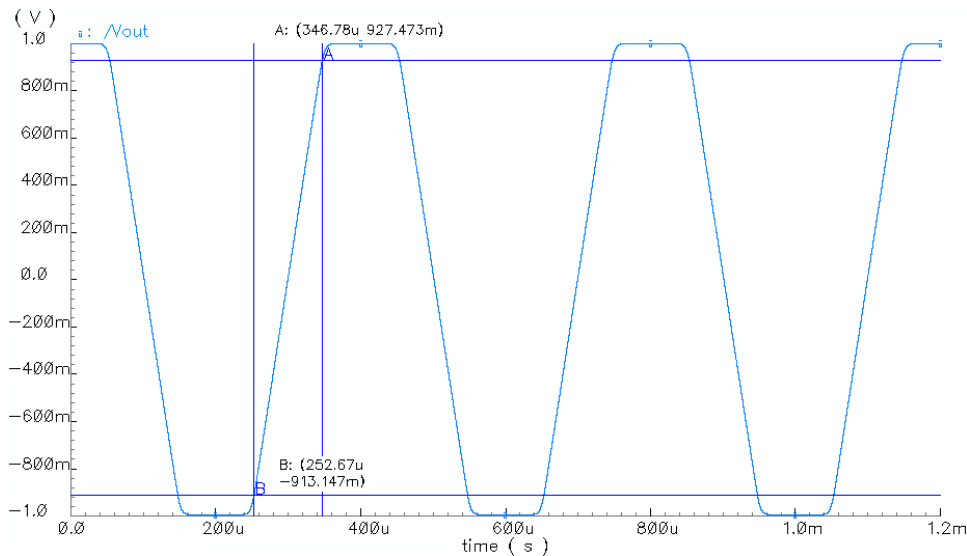
| $V/\mu\text{S}$ | | Señal $\pm 1\text{ mV}$ | | Señal $\pm 50\text{ mV}$ | | Señal $\pm 1\text{ V}$ | |
|-----------------------|--------|-------------------------|-----------------------|--------------------------|-----------------------|------------------------|-----------------------|
| | | SlewRate \uparrow | SlewRate \downarrow | SlewRate \uparrow | SlewRate \downarrow | SlewRate \uparrow | SlewRate \downarrow |
| OTA Base | | 2,331E-03 | 2,331E-03 | 1,133E-01 | 1,135E-01 | 0,397 | 0,398 |
| OTA Adaptativo | | 2,065E-03 | 2,058E-03 | 6,796E-02 | 1,584E-01 | 0,974 | 4,771 |
| OTA 1 | Normal | 1,686E-02 | 1,705E-02 | 4,237E-01 | 1,254E+00 | 20,862 | 27,875 |
| | Mod1 | 1,181E-02 | 1,180E-02 | 5,822E-01 | 5,814E-01 | 20,895 | 36,262 |
| | Mod3 | 3,095E-02 | 3,158E-02 | 1,916E+00 | 1,961E+00 | 12,609 | 25,471 |
| OTA 2 | Normal | 4,165E-03 | 4,411E-03 | 9,846E-02 | 6,453E-01 | 28,576 | 61,046 |
| | Mod1 | 3,644E-03 | 3,644E-03 | 1,992E-01 | 1,997E-01 | 24,334 | 27,427 |
| | Mod3 | 4,755E-04 | 4,754E-04 | 2,364E-02 | 2,362E-02 | 0,473 | 0,490 |
| OTA 3 | Normal | 5,039E-03 | 5,139E-03 | 1,141E-01 | 5,990E-01 | 28,268 | 49,108 |
| | Mod1 | 4,309E-03 | 4,142E-03 | 1,186E-01 | 1,976E-01 | 23,583 | 24,963 |
| | Mod3 | 4,983E-01 | 4,985E-01 | 2,476E-02 | 2,503E-02 | 0,510 | 0,411 |

Si comparamos estos resultados con los obtenidos en lazo abierto vemos que los resultados son muy parecidos para todos los casos salvo para los que incluyen la modificación 3 (puerta cuasiflotante). Esto es debido a que en lazo cerrado forzamos a que la entrada tenga el mismo nivel de DC que la salida y justamente aplicando QFG queremos bajar esa señal a V_{ss} . Podemos decir que en general en lazo cerrado obtenemos resultados semejantes al caso de lazo abierto.

Saturación

Para medir la tensión a la que se saturan los circuitos en lazo cerrado vamos a usar una señal diferente a la utilizada anteriormente. Queremos saturar el circuito y debemos recordar que tenemos un lazo cerrado, por lo que usaremos una señal triangular de amplitud igual a 2 V (el periodo sí que será el mismo, de 400 μ s). Volveremos a mirar donde se recorta dicha señal, será justamente la tensión máxima (y mínima) posible sin deformar la entrada.

A continuación vemos de nuevo el ejemplo del OTA2 con la primera modificación.



Ahora tenemos seguidores de tensión, por lo que necesitamos usar una tensión grande para poder saturar el circuito. Vemos claramente donde comienza a saturar.

| mV | | LAZO CERRADO Señal ± 2 V | | LAZO ABIERTO Señal ± 100 mV | |
|-----------------------|-----------|---------------------------------|---------------------|------------------------------------|---------------------|
| | | Límite \uparrow | Límite \downarrow | Límite \uparrow | Límite \downarrow |
| OTA Base | | 955 | -951 | 946 | -939 |
| OTA Adaptativo | | 181 | -969 | 958 | -944 |
| OTA 1 | Normal | 142 | -930 | 773 | -848 |
| | Mod1 | 942 | -891 | 734 | -803 |
| | Mod1+Mod2 | 1809 | 1812 | 1549 | -1532 |
| | Mod3 | 872 | -737 | 738 | -748 |
| OTA 2 | Normal | 177 | -995 | 953 | -965 |
| | Mod1 | 980 | -973 | 928 | -954 |
| | Mod1+Mod2 | 1970 | 1973 | 1850 | -1866 |
| | Mod3 | 935 | 903 | 953 | 917 |
| OTA 3 | Normal | 182 | -967 | 949 | -965 |
| | Mod1 | 954 | 954 | 927 | -948 |
| | Mod1+Mod2 | 1982 | -1961 | 1854 | -1854 |
| | Mod3 | 916 | -670 | 912 | 943 |

Podemos ver cómo en el caso adaptativo el límite superior se ve reducido a 181mV, frente a los 958mV del caso de lazo abierto. Lo mismo sucede para el caso de los 3 OTA con los espejos no lineales.

En cuanto comenzamos a utilizar las técnicas de FG o QFG se soluciona el problema de saturación positiva.

Recordamos que los circuitos a estudio se comportan como seguidor de tensión, así que para comprender la causa de este comportamiento debemos pensar que o bien no es capaz de entregar tensiones superiores a los límites o por el contrario, no es capaz de aceptar dichas tensiones.

En el apartado 5.III, 5.IV y 5.V vimos que precisamente aparecía el mismo problema en los OTA con espejos no lineales. Esta era la razón por la que utilizábamos la técnica de FG y QFG en el par diferencial de la entrada a los OTA. Es decir, el límite superior de la salida de los circuitos puede limitarse tanto por la salida de los OTA como por la entrada aceptada.

Como también ocurría en el lazo abierto, las salidas dobles ofrecen límites de saturación dos veces mayores que el resto.

Otro fenómeno que podemos ver en todos los circuitos que utilizan FG y QFG es que mejoran los límites de salida respecto al caso de lazo abierto. Como ya vimos, lo que sucede es que mejora el rango de entrada de la señal (haciéndolo rail-to-rail).

Distorsión armónica

Utilizando los esquemas de lazo cerrado vamos a estudiar el comportamiento en términos de distorsión armónica de todos los circuitos. Primeramente vamos a realizar pruebas con las mismas cuatro señales que utilizamos en el caso de lazo abierto para poder comparar los comportamientos entre sí. Todas van a ser sinusoidales, con dos frecuencias y dos amplitudes distintas.

| Distorsión | | Señal ± 1 mV | | | | Señal ± 10 mV | | | |
|----------------|--------|--------------|-----------|---------|--------|---------------|----------|---------|--------|
| | | THD | | 1º - 2º | | THD | | 1º - 2º | |
| | | 1 kHz | 50 kHz | 1 kHz | 50 kHz | 1 kHz | 50 kHz | 1 kHz | 50 kHz |
| OTA Base | | 0,0000078 | 0,0000118 | 142,20 | 138,63 | 0,000078 | 0,000120 | 122,18 | 118,63 |
| OTA Adaptativo | | 0,0013000 | 0,0607000 | 97,58 | 64,33 | 0,013100 | 0,610000 | 77,66 | 44,08 |
| OTA 1 | Normal | 0,2600000 | 0,2600000 | 51,71 | 51,70 | 0,713000 | 0,755800 | 49,62 | 47,60 |
| | Mod1 | 0,0000370 | 0,0000428 | 128,63 | 127,37 | 0,000370 | 0,000428 | 108,63 | 107,37 |
| | Mod3 | 0,0004890 | 0,0002470 | 109,35 | 112,16 | 0,002250 | 0,002550 | 92,99 | 92,01 |
| OTA 2 | Normal | 0,0220000 | 0,1454000 | 73,32 | 56,75 | 0,088000 | 1,148000 | 72,21 | 38,88 |
| | Mod1 | 0,0000021 | 0,0000244 | 152,71 | 132,25 | 0,000023 | 0,000246 | 132,70 | 112,24 |
| | Mod3 | 0,0035100 | 0,0035000 | 89,08 | 89,08 | 0,035100 | 0,035100 | 69,08 | 69,08 |
| OTA 3 | Normal | 0,0196000 | 0,1180000 | 74,25 | 58,57 | 0,927000 | 0,927000 | 69,87 | 4,72 |
| | Mod1 | 0,0000015 | 0,0000128 | 156,22 | 137,85 | 0,000129 | 0,000129 | 141,63 | 117,84 |
| | Mod3 | 0,0004000 | 0,0036200 | 107,91 | 88,81 | 0,036200 | 0,036200 | 87,87 | 68,83 |

Para obtener estos resultados hemos utilizado la misma resolución en la simulación (paso máximo de $0.001 \mu\text{s}$ para las señales de 50 kHz y $0.01 \mu\text{s}$ para las de 1 kHz). Recordamos que en el caso de circuito abierto la señal de 10 mV ofrecía una salida que rondaba el límite de saturación, por lo que obteníamos datos de distorsión alta. Ahora tenemos seguidores de tensión, por lo que no se satura la señal de salida.

Vemos una mejora muy clara en todos y cada uno de los resultados. El THD llega a reducirse 4 órdenes de magnitud. Lógicamente también aumentan los dB entre el armónico fundamental y el de segundo orden.

Esta mejora está directamente relacionada con que estamos en una configuración de seguidor de tensión, por lo que la salida debería ser una copia exacta de la entrada.

Si comparamos los resultados de distorsión de la señal de 1 mV y la de 10 mV observamos que el valor de THD es 10 mayor en la de 10 mV. Esto hace pensar que el THD depende claramente del valor de la amplitud de la señal copiada.

Como hemos visto un comportamiento muy bueno para pequeñas señales, vamos a ver que sucede con señales mayores.

En la configuración de lazo cerrado podemos utilizar señales de mayor amplitud, ya que la ganancia es la unidad. En el caso de lazo abierto teníamos una ganancia tal que para señales de entrada de 10 mV ya saturábamos la salida. Veamos los resultados obtenidos con señales de la misma frecuencia que en los estudios hechos, pero con valores de ± 100 mV y ± 1 V.

| Distorsión | | Señal ± 100 mV | | | | Señal ± 1 V | | | |
|----------------|--------|--------------------|---------|---------------------|--------|-----------------|--------|---------------------|--------|
| | | THD | | $1^\circ - 2^\circ$ | | THD | | $1^\circ - 2^\circ$ | |
| | | 1 kHz | 50 kHz | 1 kHz | 50 kHz | 1 kHz | 50 kHz | 1 kHz | 50 kHz |
| OTA Base | | 0,00084 | 0,00315 | 101,99 | 98,48 | 1,247 | 0,982 | 61,37 | 60,58 |
| OTA Adaptativo | | 0,20856 | 8,41070 | 54,46 | 21,98 | 28,086 | 35,574 | 11,72 | 9,41 |
| OTA 1 | Normal | 2,54140 | 3,16900 | 32,24 | 30,48 | 34,945 | 34,850 | 9,51 | 9,54 |
| | Mod1 | 0,00377 | 0,00434 | 88,70 | 87,42 | 2,785 | 2,779 | 49,25 | 49,27 |
| | Mod3 | 0,04770 | 0,05083 | 68,13 | 68,09 | 11,124 | 11,153 | 21,10 | 21,05 |
| OTA 2 | Normal | 0,20024 | 7,69000 | 55,23 | 23,18 | 27,987 | 35,047 | 11,70 | 9,50 |
| | Mod1 | 0,00030 | 0,00380 | 112,90 | 92,26 | 1,136 | 1,170 | 65,51 | 62,53 |
| | Mod3 | 0,35562 | 0,35578 | 49,02 | 49,08 | 11,994 | 12,035 | 19,17 | 19,17 |
| OTA 3 | Normal | 0,20341 | 7,43964 | 55,02 | 23,63 | 27,996 | 35,220 | 11,70 | 9,46 |
| | Mod1 | 0,00022 | 0,00167 | 122,49 | 97,80 | 1,226 | 1,210 | 82,71 | 71,89 |
| | Mod3 | 0,04004 | 0,33369 | 68,06 | 49,99 | 10,750 | 11,238 | 20,33 | 20,01 |

En el caso del OTA Adaptativo vemos como los resultados son mucho peores que en el caso de lazo abierto. De nuevo debemos recordar que los circuitos no aceptan señales superiores a los 100mV, tal y como vimos en el apartado de saturación. Esto hace que la señal se deforme mucho, obteniendo valores muy altos de distorsión. Este mismo fenómeno se sucede en los casos de los 3 OTA con los espejos no lineales. En cuanto aplicamos las técnicas de FG y QFG a la entrada (aceptando entradas rail to rail), volvemos a tener valores de distorsión aceptables.

Si nos fijamos en los incrementos del THD entre las señales de 1, 10 y 100 mV podemos observar que el incremento ha sido casi proporcional para valores bajos. Cuando los valores de THD no son tan bajos, el incremento es mayor.

Los resultados obtenidos en el caso de la señal de entrada de ± 1 V son claramente peores que los obtenidos con el resto de señales. Recordemos también que la salida del sistema se satura (en torno a 950 mV) haciendo que la señal se deforme a la salida. Esto se traduce en un gran empeoramiento en términos de distorsión.

Ruido

A continuación presentamos los valores obtenidos para el ruido equivalente a la entrada de cada circuito. De nuevo obtenemos el mismo patrón que hemos visto en el caso de lazo abierto (primera parte dominada por ruido Flicker y zona plana dominada por el ruido térmico). Hemos tomado el valor del ruido en la zona plana y hemos anotado la frecuencia inferior y superior donde el ruido aumenta un 30% sobre el valor más bajo.

| Ruido | | Frecuencia ↓ | Frecuencia ↑ | Densidad nV/√Hz | Densidad dBμV/√Hz |
|----------------|--------|--------------|--------------|--------------------|----------------------|
| OTA Base | | 267 MHz | 43,2 MHz | 33,20 | -29,58 |
| OTA Adaptativo | | 101,5 kHz | 185,9 MHz | 30,64 | -30,27 |
| OTA 1 | Normal | 80 kHz | 85 MHz | 107,00 | -19,41 |
| | Mod1 | 97 kHz | 61,5 MHz | 134,50 | -17,43 |
| | Mod3 | 75 kHz | 90,59 MHz | 106,92 | -19,42 |
| OTA 2 | Normal | 52,7 kHz | 102,5 MHz | 28,90 | -30,78 |
| | Mod1 | 82,8 kHz | 47,8 MHz | 40,70 | -27,81 |
| | Mod3 | 1,595 MHz | 345,2 MHz | 14,98 | -36,49 |
| OTA 3 | Normal | 52,2 kHz | 79,2 MHz | 26,50 | -31,54 |
| | Mod1 | 84,8 kHz | 45,4 MHz | 38,96 | -28,19 |
| | Mod3 | 72,4 kHz | 55,2 MHz | 21,40 | -33,39 |

Comparando estos valores con los obtenidos en circuito abierto vemos que tenemos resultados prácticamente iguales.

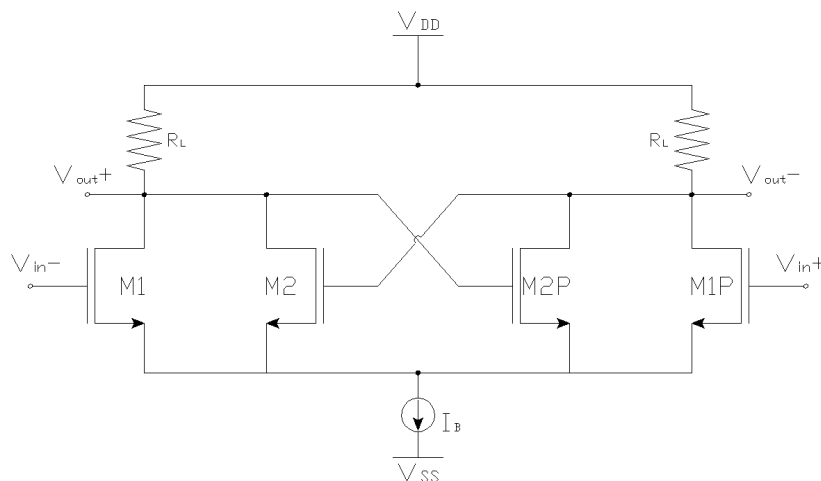
Concluimos con la misma reflexión que en el caso de lazo abierto, la elección de uno de los circuitos (exceptuando el OTA 1) no va a estar determinada por los niveles de ruido obtenidos.

7 – PAR DIFERENCIAL DE TRANSCONDUCTANCIA ENSALZADA

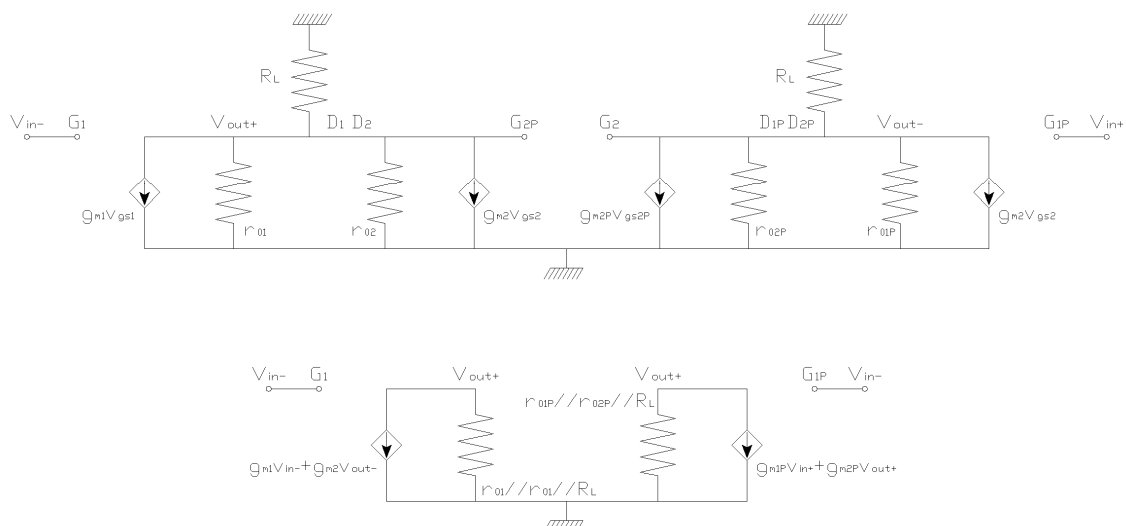
Por ultimo vamos a presentar una serie de configuraciones para aumentar la transconductancia del par diferencial. Recordamos que en un par diferencial simple obteníamos una transconductancia igual a la de los propios transistores, g_m . Con estos circuitos vamos a conseguir aumentar dicha transconductancia sin necesidad de aumentar la relación W/L de los transistores, lo que supondría un aumento excesivo del tamaño de superficie en el layout de dichos transistores.

7.1 Topología 1

A continuación mostramos la primera topología que vamos a utilizar para aumentar el valor de la transconductancia del par diferencial. Usamos para el par principal los transistores M1 y M1P y como apoyo usamos la pareja de transistores M2 y M2P. Utilizamos una fuente de corriente ideal para polarizar el circuito.



A continuación mostramos el circuito equivalente de pequeña señal:



Tenemos que:

$$V_{out+} = (r_{01} // r_{02} // R_L) \cdot (-g_{m1} V_{in-} - g_{m2} V_{out-}) = (r_{01} // r_{02} // R_L) \cdot \left(g_{m1} \frac{V_d}{2} - g_{m2} V_{out-} \right)$$

$$V_{out-} = (r_{01P} // r_{02P} // R_L) \cdot (-g_{m1P} V_{in+} - g_{m2P} V_{out+}) = (r_{01P} // r_{02P} // R_L) \cdot \left(-g_{m1P} \frac{V_d}{2} - g_{m2P} V_{out+} \right)$$

Hacemos:

$$R_1 = r_{01} // r_{02} // R_L \approx R_L$$

$$R_2 = r_{01P} // r_{02P} // R_L \approx R_L$$

Podemos expresar la salida como:

$$V_{out+} - V_{out-} = R_L \cdot \left(g_{m1} \frac{V_d}{2} - g_{m2} V_{out-} \right) - R_L \left(-g_{m1P} \frac{V_d}{2} - g_{m2P} V_{out+} \right)$$

Suponemos que $r_{01} = r_{01P}$ y $r_{02} = r_{02P}$, entonces $R_1 = R_2 = R_L$.

$$V_{out+} - V_{out-} = R_L \cdot \left(g_{m1} \frac{V_d}{2} - g_{m2} V_{out-} + g_{m1P} \frac{V_d}{2} + g_{m2P} V_{out+} \right)$$

Suponemos que $g_1 = g_{1P}$ y $g_2 = g_{2P}$, entonces:

$$\begin{aligned} V_{out+} - V_{out-} &= R_L \cdot [g_{m1} V_d + g_{m2} (V_{out+} - V_{out-})] \\ (V_{out+} - V_{out-}) - R_L \cdot g_{m2} (V_{out+} - V_{out-}) &= R_L \cdot g_{m1} V_d \\ (V_{out+} - V_{out-}) [1 - R_L \cdot g_{m2}] &= R_L \cdot g_{m1} V_d \\ V_{out+} - V_{out-} &= \frac{g_{m1}}{1 - R_L \cdot g_{m2}} R_L \cdot V_d \end{aligned}$$

Si tuviéramos el caso de un par diferencial únicamente formado por dos transistores se cumpliría que:

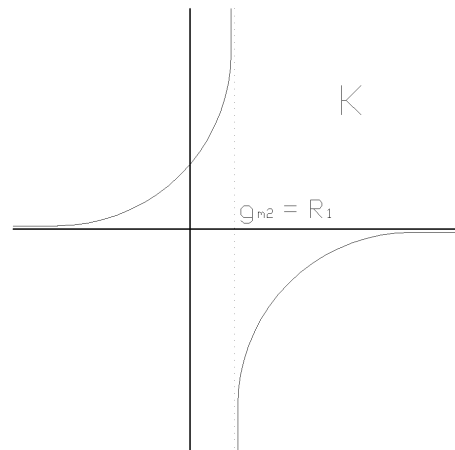
$$V_{out+} - V_{out-} = g_m R_L V_d$$

Podemos decir que la transconductancia efectiva en nuestro circuito es:

$$\begin{aligned} g_m &= \frac{g_{m1}}{1 - R_L \cdot g_{m2}} = K \cdot g_{m1} \\ K &= \frac{1}{1 - R_L \cdot g_{m2}} \end{aligned}$$

La transconductancia que obtenemos es K veces mayor que la transconductancia que obtendríamos con el par diferencial simple. Buscando valores tales que $g_{m2} \approx R_L$ obtenemos valores muy grandes de K , haciendo que la g_m del circuito aumente sensiblemente.

Buscamos únicamente valores de K positivos ya que los negativos dan lugar a inestabilidades. Por ello haremos en la práctica que $g_{m2}R_L < 0,9$ para asegurar estabilidad. De esta manera limitaremos el incremento de transconductancia, K , a un valor de 10.



Simulación

Usamos una fuente de corriente de $10 \mu A$. Seguimos utilizando la misma tensión de alimentación que en el resto del texto, $\pm 1V$. Vamos a fijar los valores de las resistencias R_L para que el circuito esté bien polarizado a un valor de $100 k\Omega$ (cae una tensión en ellas de $0,5 V$).

Para ver el efecto de incremento de K vamos a variar la W/L de la pareja de transistores $M2$ y $M2P$, ya que las R_L las dejamos fijas.

Simulando primero el par diferencial simple observamos que tenemos una ganancia en tensión de $19,569 V/V$. Entonces:

$$\frac{V_{out}}{V_{in}} = g_m R_L = 19,569 \Rightarrow g_m = \frac{19,569}{R_L} = \frac{19,569}{100k} = 0,00019569$$

Sabemos que en un transistor NMOS:

$$g_m = \sqrt{2\mu C_{ox}} \sqrt{\frac{W}{L}} \sqrt{I_D}$$

Entonces:

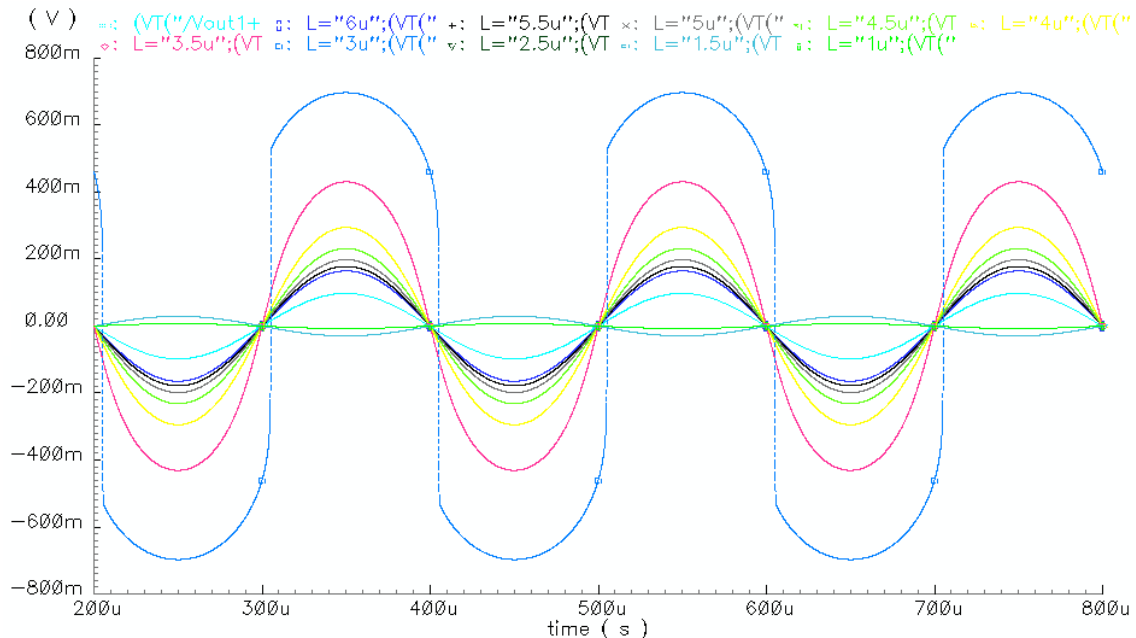
$$g_m = \sqrt{2\mu C_{ox}} \sqrt{\frac{30}{1,05}} \sqrt{0,5 \cdot 10^{-6}} = 0,00019569 \Rightarrow \sqrt{2\mu C_{ox}} = 0,0517747$$

Buscamos valores de W_2/L_2 que hagan que $g_{m2}R_L = 0,9$ es decir, $g_{m2} = 9 \cdot 10^{-6}$ entonces:

$$g_{m2} = \sqrt{2\mu C_{ox}} \sqrt{\frac{W_2}{L_2}} \sqrt{I_D} = 0,0517747 \sqrt{\frac{W_2}{L_2}} \sqrt{0,5 \cdot 10^{-6}} = 9 \cdot 10^{-6}$$

$$\frac{W_2}{L_2} = \frac{(9 \cdot 10^{-6})^2}{0,0517747^2 \cdot 0,5 \cdot 10^{-6}} = 0,0604$$

Fijando $W_2 = 1,5 \mu\text{m}$ necesitaríamos una L_2 de alrededor de $24 \mu\text{m}$. Esto en un valor teórico, que nos va a servir para saber por donde comenzar a probar para obtener un valor de K aceptable.



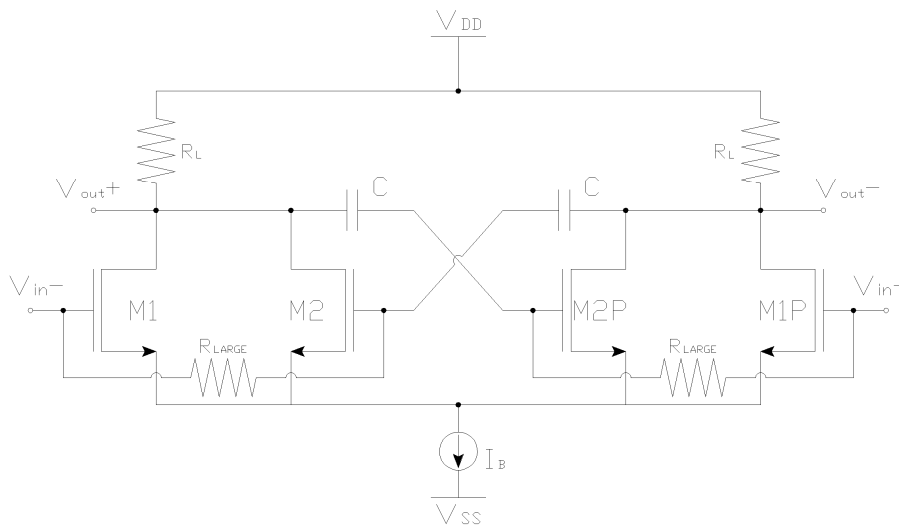
En la gráfica podemos observar que la salida correspondiente al par diferencial simple en un color azul claro. El resto de trazos son del par modificado, variando los valores de L_2 , habiendo fijado W_2 a $1,5 \mu\text{m}$.

Vemos que para $L_2 = 1$ y $1,5 \mu\text{m}$ obtenemos valores negativos y que para $L_2 = 3 \mu\text{m}$ se obtiene una señal no deseada. Esto es síntoma de que estamos cerca del valor de inestabilidad. El siguiente valor de L_2 , $3,5 \mu\text{m}$ obtenemos una señal correcta de alta ganancia frente a la original.

Es importante mencionar que, tal y como hemos visto, este aumento de la transconductancia es muy sensible al dimensionamiento de los transistores. Sabemos que en los procesos de fabricación hay unos errores posibles. En el diseño de estos pares diferenciales no vamos a explotar la ganancia a su máximo valor, sino que haremos un diseño en torno a un 20% menos de dicho valor. Con esto evitaremos que la realimentación positiva pueda llegar a inestabilidades debido a variaciones paramétricas o geométricas en el proceso de fabricación.

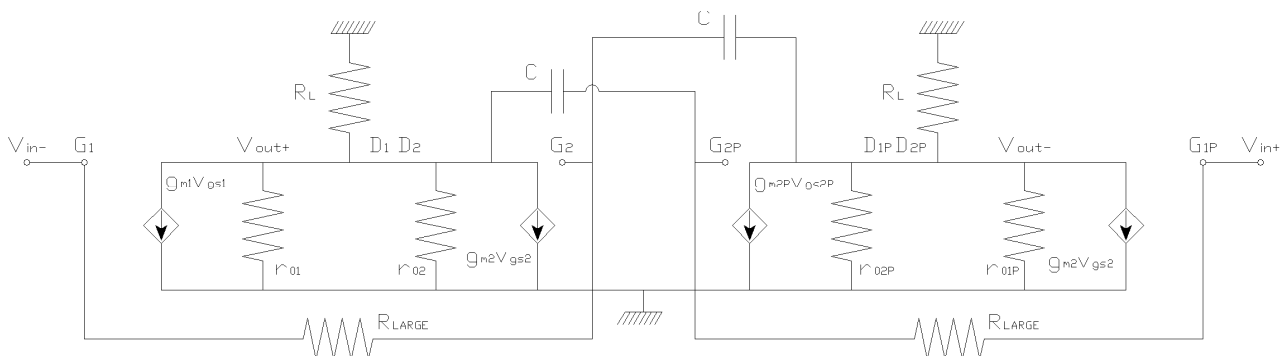
7.II Topología 2

Podemos modificar la topología vista anteriormente introduciendo unos condensadores en el lazo de realimentación positiva. También introducimos unas resistencias (R_{LARGE}) de alto valor óhmico entre las puertas de los transistores M1-M2 y M2P-M1P. Estas resistencias, como en casos anteriores, son implementadas mediante transistores conectados como diodos.



Vemos que no hay realimentación positiva en DC debido a la conexión mediante condensadores. La tensión DC que aparece en las puertas de M2 y M2P es la misma que hay en las entradas y como haremos que sean señales con mismo modo común, tendremos la misma tensión en todas las puertas de los transistores (en continua). La señal en AC que aparece en las puertas M2 y M2P es justamente la que tenemos a la salida (realimentación positiva).

A continuación mostramos el circuito equivalente de pequeña señal:



Para frecuencias mayores que la frecuencia $f_C = 1/(2\pi R_{LARGE}C)$ el condensador actúa como una batería (como vimos en operación en Clase AB), haciendo que las variaciones en V_{out+} y V_{out-} se trasladen a V_{G2P} y V_{G2} respectivamente. Entonces en pequeña señal debemos sustituir el condensador C por un circuito cerrado, teniendo un caso idéntico al de la tecnología anterior. Para frecuencias bajas el condensador

debemos dejarlo abierto, haciendo que la tensión que hay en las puertas G_2 y G_{2P} sea exactamente la misma que hay en V_{in-} y en V_{in+} respectivamente.

Vemos el caso de alta frecuencia:

$$V_{out+} - V_{out-} = \frac{g_{m1}}{1 - R_L \cdot g_{m2}} R_L \cdot (V_{in+} - V_{in-})$$

Podemos decir que la transconductancia efectiva en nuestro circuito es:

$$g_m = \frac{g_{m1}}{1 - R_L \cdot g_{m2}} = K \cdot g_{m1}$$

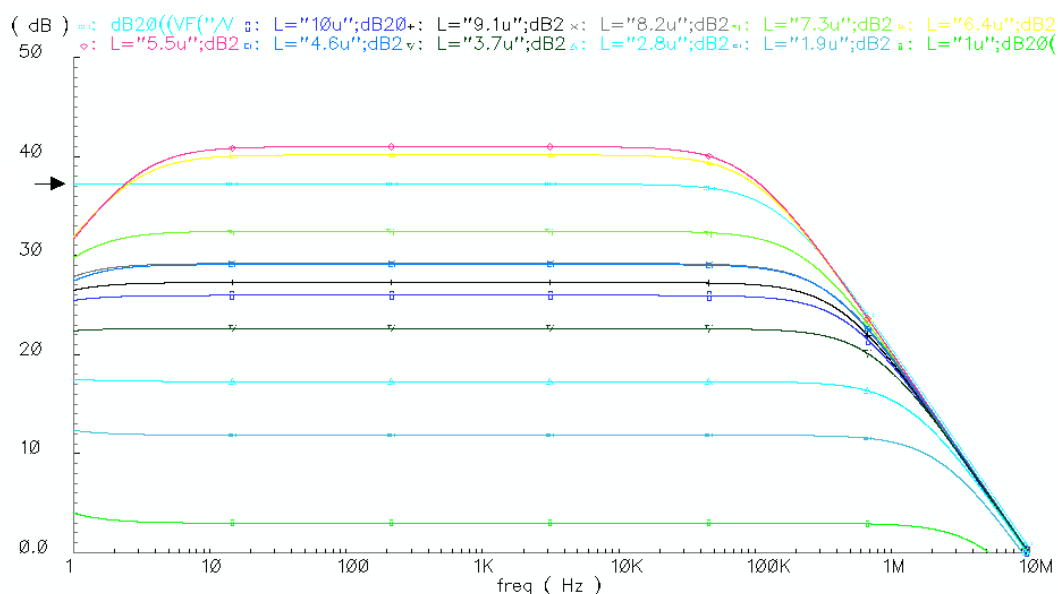
$$K = \frac{1}{1 - R_L \cdot g_{m2}}$$

Simulación

Usamos una fuente de corriente de $10 \mu A$. Seguimos utilizando la misma tensión de alimentación que en el resto del texto, $\pm 1V$. Vamos a fijar los valores de las resistencias R_L para que el circuito esté bien polarizado a un valor de $100 k\Omega$ (cae una tensión en ellas de $0,5 V$).

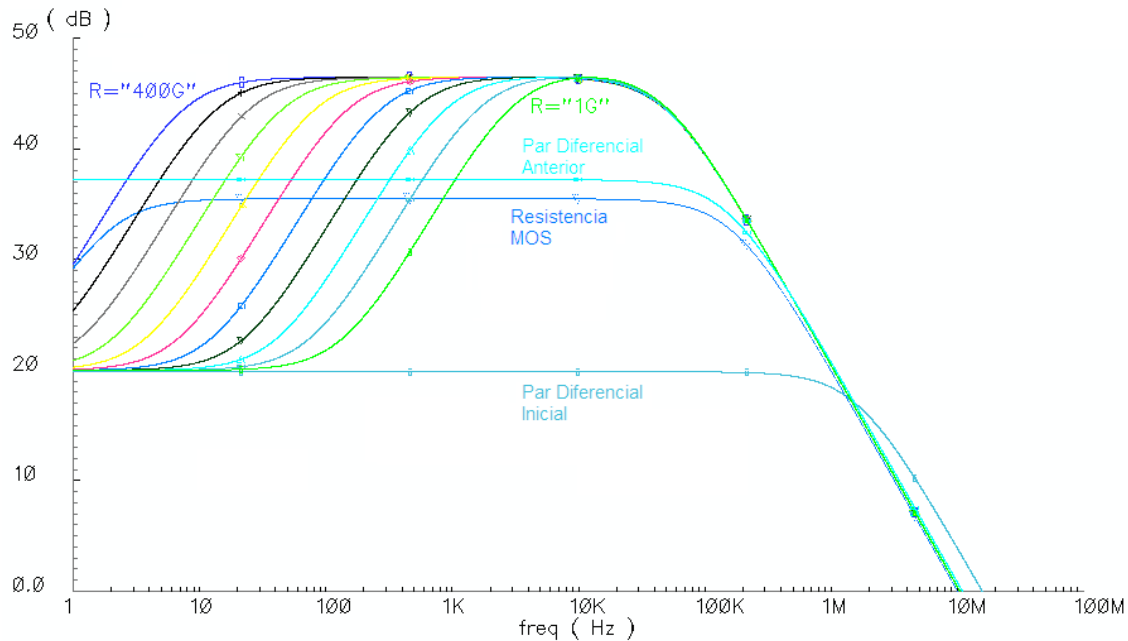
Sabemos que utilizando un transistor como diodo obtenemos una resistencia elevada, del orden de las decenas de $G\Omega$.

Para ver qué relación W_2/L_2 nos conviene realizamos una primera simulación paramétrica, variando los valores de L_2 , habiendo fijado W_2 a $30 \mu m$ obteniendo los siguientes resultados:



Hemos representado también el resultado que se obtiene para el caso anterior de par diferencial (traza indicada por la flecha). Vemos que obtenemos los mejores resultados con la relación $W_2/L_2 = 30/6.4$ por lo que fijamos L_2 a $6.45 \mu\text{m}$.

Se aprecia claramente el efecto creado por el filtro paso alto que crean el condensador C y la resistencia R_{LARGE} . A continuación mostramos el efecto de variar el valor de la resistencia R_{LARGE} (sustituimos la resistencia MOS por una normal para darle valores):

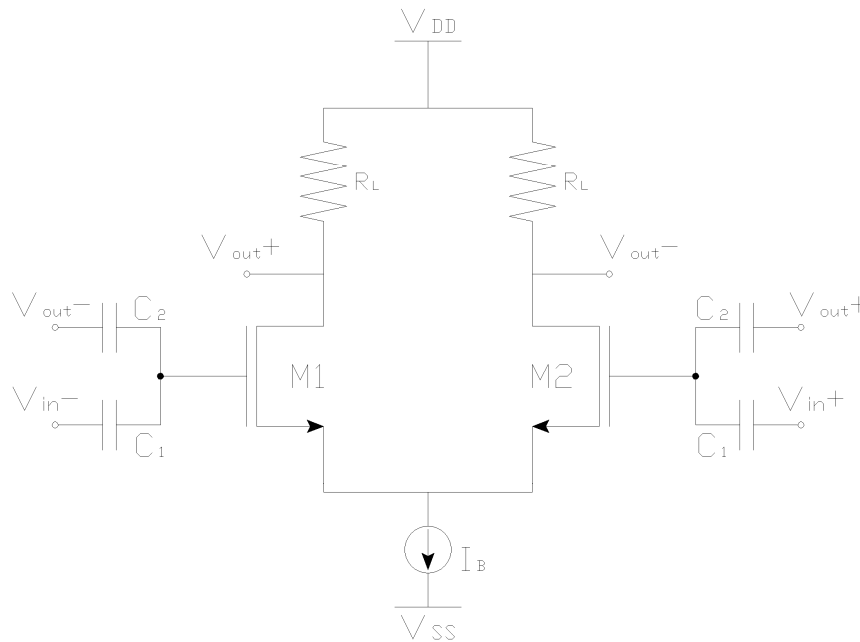


Vemos como el cambio del valor de R supone un cambio directamente en la frecuencia de $f_c = 1/(2\pi R_{\text{LARGE}}C)$. Hemos representado la ganancia tanto del par diferencial inicial como el par diferencial visto en el primer apartado de este bloque. También mostramos el resultado obtenido al crear la resistencia R_{LARGE} mediante transistores MOS.

Como conclusión podemos ver que el circuito a alta frecuencia tiene un comportamiento idéntico al visto en el caso anterior y que a bajas frecuencias ofrece prácticamente la misma ganancia que el par diferencial simple.

7.III Topología 3

Este nuevo esquema cambia la idea utilizada en los dos anteriores. Aquí tenemos transistores de puerta flotante a la entrada, haciendo una realimentación positiva directamente. Conectamos la salida negativa a la entrada negativa, que a su vez está capacitivamente acoplada a la puerta del transistor 1. Hacemos lo mismo con la salida positiva.



Tal y como vimos en el apartado 3.I, las tensiones que aparecen en las puertas de los transistores M1 y M2 son:

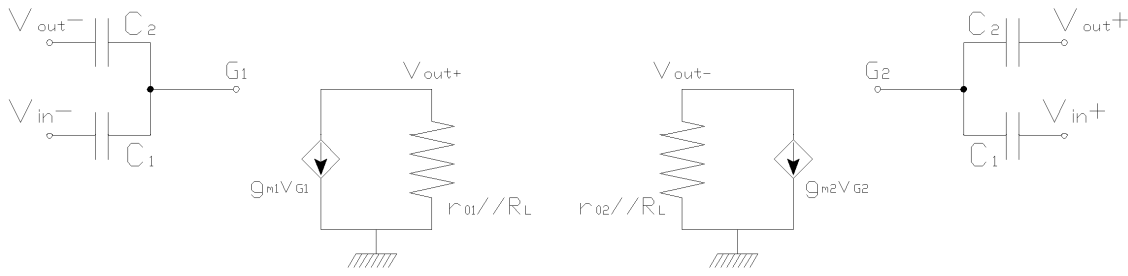
$$V_{G1} = a \cdot V_{in-} + b \cdot V_{out-}$$

$$V_{G2} = a \cdot V_{in+} + b \cdot V_{out+}$$

Donde a y b son los factores de atenuación creados por el divisor de tensión capacitivo y vienen definidos como:

$$a = \frac{C_1}{C_1 + C_2} \quad ; \quad b = \frac{C_2}{C_1 + C_2}$$

Presentamos el esquema de pequeña señal para calcular la transconductancia que obtenemos y así poder compararla con la que presenta el par diferencial convencional.



Escribimos las tensiones de salida como:

$$V_{out+} = -g_{m1} \cdot (R_L // r_{o1}) \approx -g_{m1} \cdot R_L \cdot V_{G1}$$

$$V_{out-} = -g_{m2} \cdot (R_L // r_{o2}) \cdot V_{G2} \approx -g_{m1} \cdot R_L \cdot V_{G2}$$

Suponemos que los transistores son idénticos, por lo que tienen la misma transconductancia (siempre y cuando tenga la misma corriente de polarización). También supondremos que $R_L \ll r_{ox}$, por lo que el paralelo de estas dos resistencias será prácticamente igual a R_L . Sustituimos los valores de la tensión en las puertas y obtenemos:

$$V_{out+} = -g_{m1} \cdot R_L \cdot (a \cdot V_{in-} + b \cdot V_{out-})$$

$$V_{out-} = -g_{m1} \cdot R_L \cdot (a \cdot V_{in+} + b \cdot V_{out+})$$

Restamos las tensiones de salida y obtenemos:

$$V_{out+} - V_{out-} = -g_{m1} \cdot R_L (a \cdot V_{in-} + b \cdot V_{out-}) + g_{m1} \cdot R_L \cdot (a \cdot V_{in+} + b \cdot V_{out+})$$

$$V_{out+} - V_{out-} = g_{m1} \cdot R_L [a \cdot (V_{in+} - V_{in-}) + b \cdot (V_{out+} - V_{out-})]$$

$$(V_{out+} - V_{out-})(1 - g_{m1} \cdot R_L \cdot b) = g_{m1} \cdot R_L \cdot a \cdot (V_{in+} - V_{in-})$$

Expresamos la ganancia en tensión como:

$$\frac{V_{out+} - V_{out-}}{V_{in+} - V_{in-}} = \frac{g_{m1} \cdot a}{1 - g_{m1} \cdot R_L \cdot b} \cdot R_L$$

Volvemos a comprar esta ganancia con la que obtendríamos en un par diferencial sencillo:

$$\frac{V_{out+} - V_{out-}}{V_{in+} - V_{in-}} = g_m R_L$$

Podemos decir que la transconductancia efectiva en nuestro circuito es:

$$g_m = \frac{g_{m1} \cdot a}{1 - g_{m1} \cdot R_L \cdot b} = K \cdot g_{m1}$$

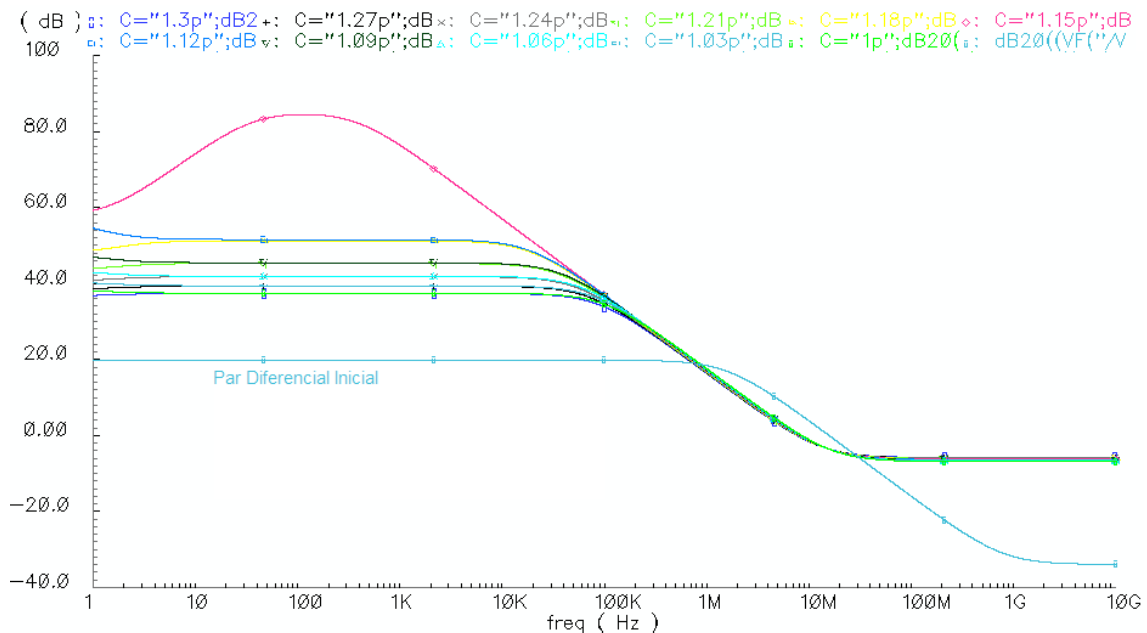
$$K = \frac{a}{1 - g_{m1} \cdot R_L \cdot b}$$

Comparando esta ganancia con la que obteníamos en las dos anteriores topologías vemos que vuelve a tener una forma similar. Ahora conseguiremos aumentar la ganancia haciendo que el valor $g_{m1} \cdot R_L \cdot b$ se acerque a 1 por la izquierda.

Simulación

Seguimos utilizando las mismas fuentes que en los otros casos. Una fuente de corriente de $10 \mu\text{A}$. Tensión de alimentación de $\pm 1\text{V}$. Fijamos el valor de C_1 a 10 pF , entonces variamos el valor de C_2 . De esta manera variamos los parámetros “a” y “b”, haciendo que varíe el valor de K , y por tanto el valor de la transconductancia efectiva del circuito.

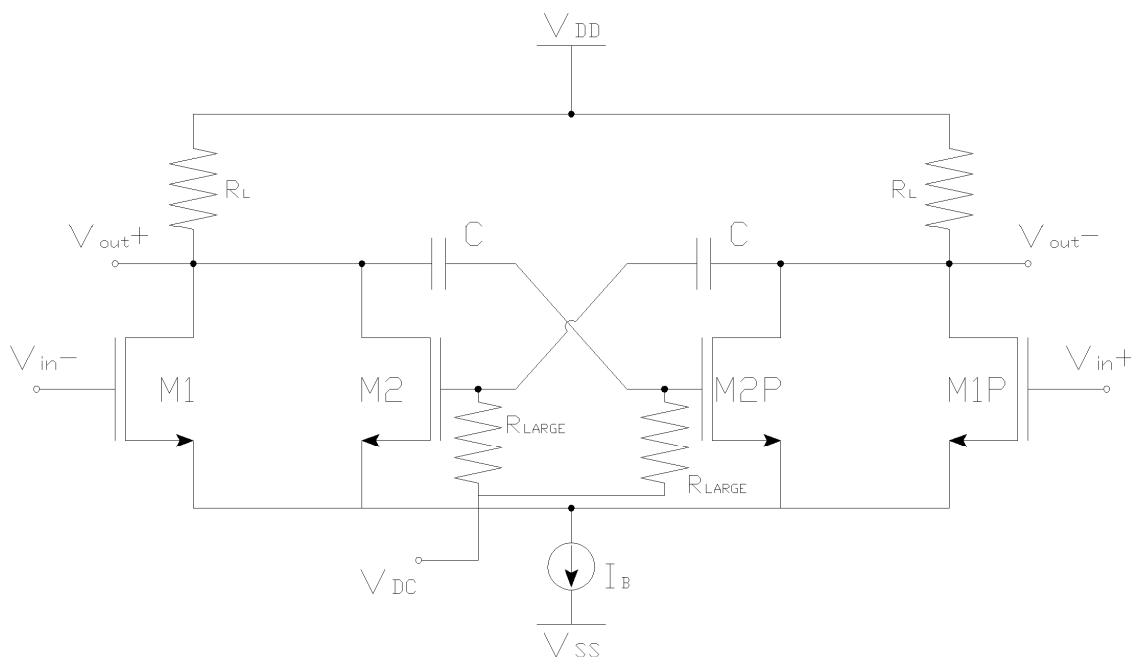
Recordamos que para simular transistores de puerta flotante tenemos que fijar el valor de DC de las puertas para que converja la simulación del programa. Para ello usamos una resistencia muy elevada junto con unas fuentes de tensión controladas por tensión. En la realidad no incorporamos estos elementos.



Vemos que los valores de ganancia más alta se encuentran en $C_2 \approx 1.15 \text{ pF}$. Debemos resaltar que al aumentar la realimentación disminuimos el ancho de banda operativo, de nuevo volvemos a tener un compromiso entre ganancia y ancho de banda. Escogemos un valor de 1.2 pF para realizar una posterior comparación entre todos los pares diferenciales. Es un valor que nos da una ganancia interesante, pero también tiene mayor ancho de banda.

7.IV Topología 4

Con este último circuito volvemos a la topología vista en el apartado 7.II. Ahora en vez de unir las entradas con la puertas de los transistores, unimos las puertas entre si mediante un divisor resistivo con resistencias de alto valor óhmico. De esta manera podremos fijar la tensión en las puertas de M2 y M2P manualmente. Estamos utilizando la técnica de transistores de puerta cuasiflotante.



El esquema equivalente en pequeña señal es idéntico al visto en el apartado 7.II. La única diferencia que tenemos en este circuito es que podemos ajustar el nivel de DC en las puertas M2 y M2P. Esto nos permite controlar los valores de g_{m2} simplemente ajustando el nivel V_{DC} , así conseguimos eliminar la dependencia que existía entre g_{m2} y el valor de modo común de la señal de entrada.

Para frecuencias mayores que la frecuencia $f_C = 1/(2\pi R_{LARGE}C)$ el condensador actúa como una batería (como vimos en operación en Clase AB), haciendo que las variaciones en V_{out+} y V_{out-} se trasladen a V_{G2P} y V_{G2} respectivamente. Entonces en pequeña señal debemos sustituir el condensador C por un circuito cerrado, teniendo un caso idéntico al de la tecnología del apartado 7.I. Para frecuencias bajas el condensador debemos dejarlo abierto, haciendo que la tensión que hay en las puertas G_2 y G_{2P} sea exactamente la que impone V_{DC} .

Vemos el caso de AC:

$$V_{out+} - V_{out-} = \frac{g_{m1}}{1 - R_L \cdot g_{m2}} R_L \cdot (V_{in+} - V_{in-})$$

Podemos decir que la transconductancia efectiva en nuestro circuito vuelve a ser:

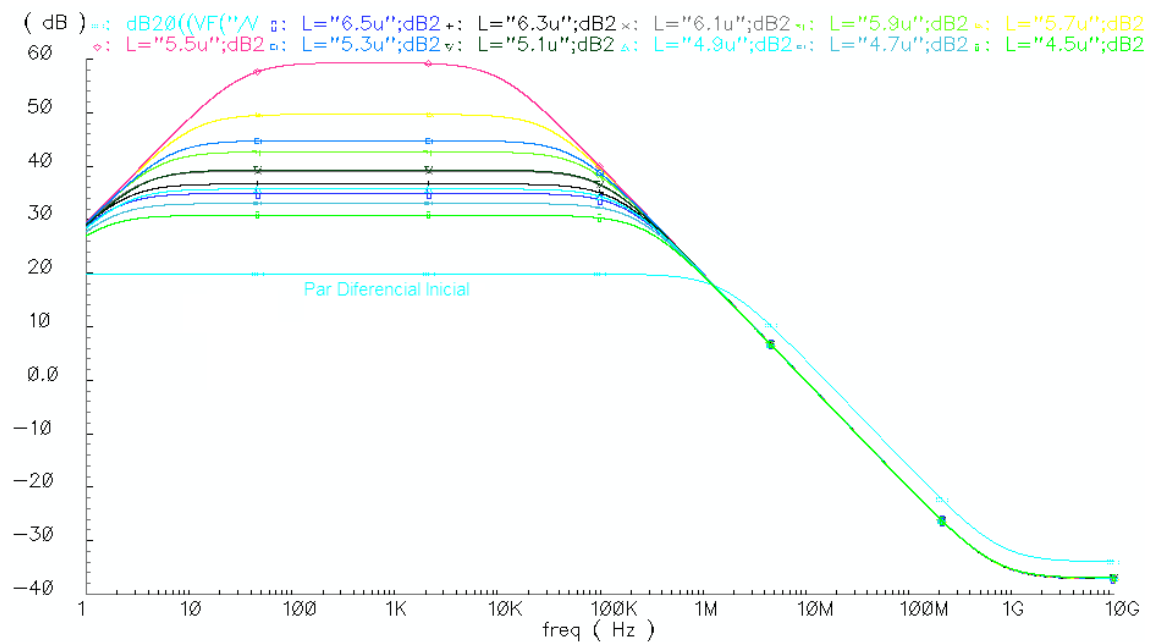
$$g_m = \frac{g_{m1}}{1 - R_L \cdot g_{m2}} = K \cdot g_{m1}$$

$$K = \frac{1}{1 - R_L \cdot g_{m2}}$$

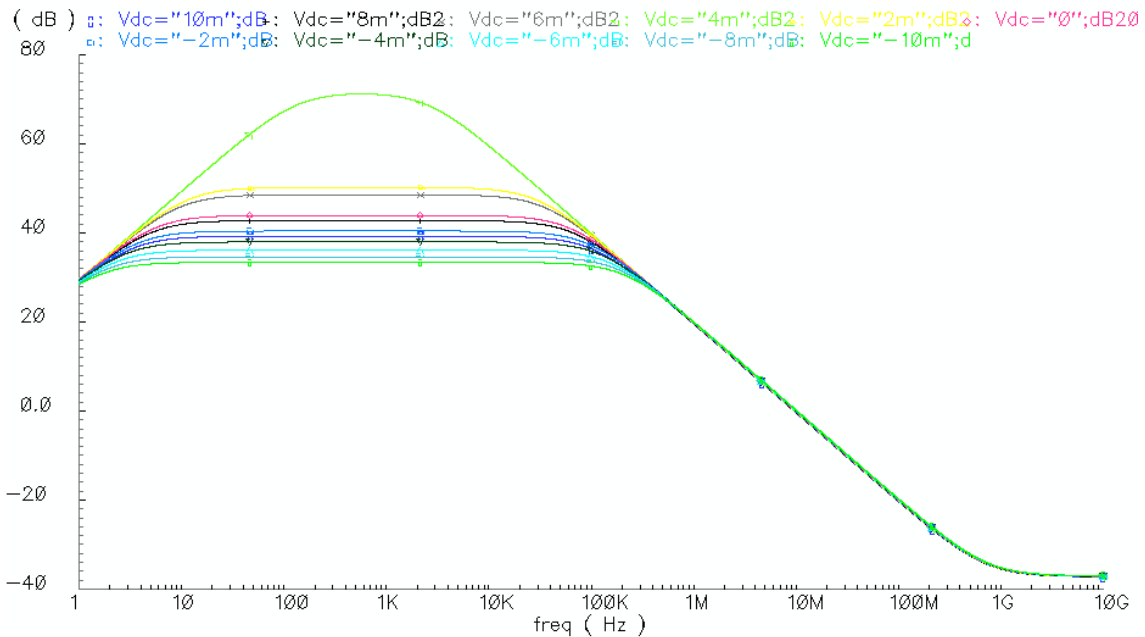
Simulación

Seguimos utilizando la misma tensión de alimentación que en el resto del texto, $\pm 1\text{V}$ y la misma fuente de corriente de $10\text{ }\mu\text{A}$. Los valores de las resistencias R_L siguen teniendo un valor de $100\text{ k}\Omega$ (cae una tensión en ellas de $0,5\text{ V}$).

Primeramente vamos a fijar la señal V_{DC} a 0 V y vamos a simular para buscar qué relación W_2/L_2 nos conviene. Para ello realizamos una simulación paramétrica, variando los valores de L_2 , habiendo fijado W_2 a $30\text{ }\mu\text{m}$. Mencionar que en el caso 7.II la señal de entrada tiene un modo común de 0 V , por lo que debemos obtener resultados parecidos.



Hemos visto que los valores de máxima ganancia se obtienen para L_2 en torno a $5.5\text{ }\mu\text{m}$. Fijaremos L_2 a $5.85\text{ }\mu\text{m}$ para asegurar un ancho de banda aceptable y parecido al que obtuvimos en 7.II. El siguiente paso es variar la tensión V_{DC} para ver cómo afecta a la ganancia. Como ya hemos mencionado variando V_{DC} variamos la corriente que circula por los transistores M_2 y M_{2P} , variando por tanto sus transconductancias y por tanto la ganancia K sobre el par diferencial simple.



Hemos barrido la señal V_{DC} un rango de ± 10 mV respecto de 0 V, que es donde habíamos diseñado el circuito para una determinada ganancia K . Vemos claramente cómo afecta directamente a la ganancia del circuito. La principal ventaja de esta topología precisamente es hacer que K no dependa tanto del modo común de la señal de entrada. Ahora podemos fijar manualmente el nivel de DC que aparece en las puertas de M2 y M2P. Recordamos el valor de la transconductancia del circuito:

$$g_m = \frac{g_{m1}}{1 - R_L \cdot g_{m2}} = K \cdot g_{m1}$$

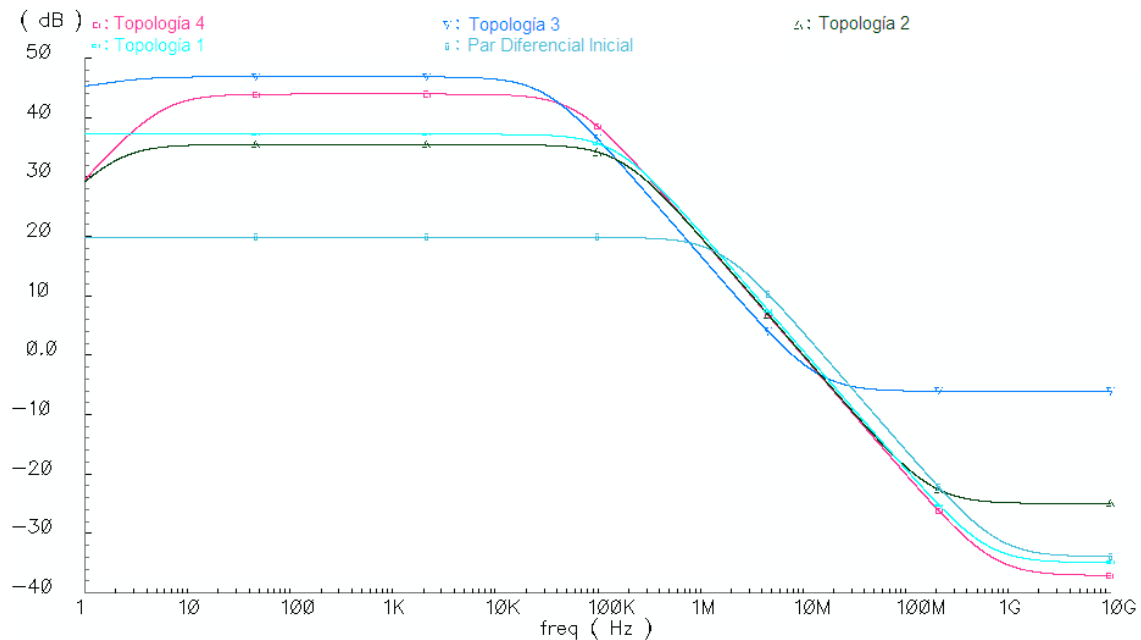
$$K = \frac{1}{1 - R_L \cdot g_{m2}}$$

La transconductancia g_m depende de g_{m1} y g_{m2} , lógicamente, pero vemos que es mucho más sensible a variaciones de g_{m2} cuando estamos cerca del valor $g_{m2} \approx 1/R_L$. Esto hace que pequeñas variaciones en la tensión V_{DC} (a su vez pequeñas variaciones de g_{m2}) se traduzcan en importantes variaciones de K .

Como conclusión resaltamos la ventaja de independizar la transconductancia g_{m2} del modo común de entrada. Está claro que no podemos independizar la transconductancia g_{m1} del modo común de entrada, pero de esta manera hacemos mucho menos sensible la ganancia del circuito a estas variaciones.

7.V Resumen resultados

Representamos a continuación una gráfica con el resultado de la ganancia respecto a la frecuencia de todas las topologías estudiadas en el punto 7, incluyendo el caso del par diferencial simple. Para ello hemos escogido los valores que hemos ido apuntando en cada apartado correspondiente. Usaremos transistores MOS como resistencias, ya que a la hora de fabricar los circuitos es mucho más eficiente que implementar resistencias convencionales.



Mencionar que la ganancia en sí no es demasiado importante, ya que es muy sensible a parámetros de diseño, es decir, no vamos a dar importancia a que la topología 3 obtenga mejor ganancia que la topología 2, por ejemplo.

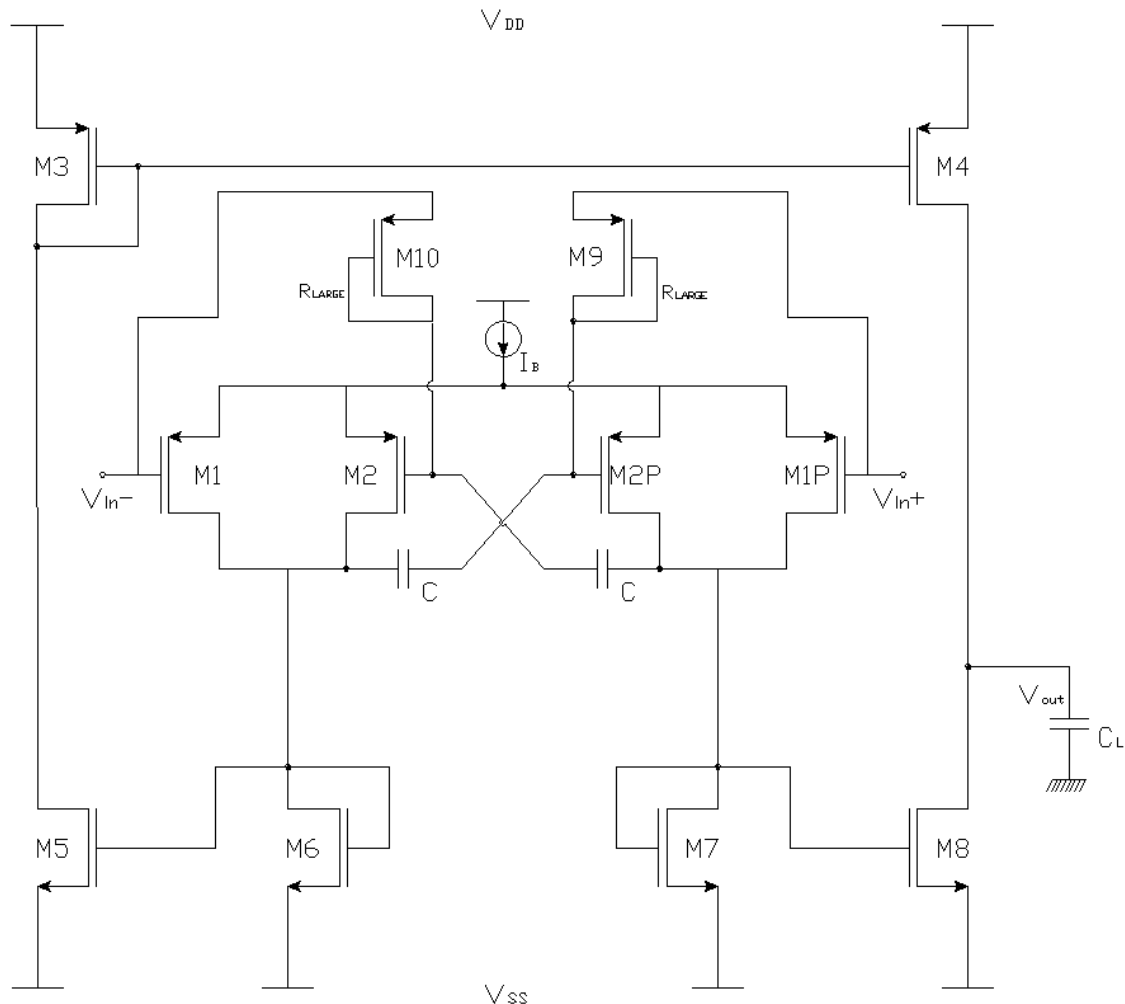
Sí es importante la forma de la ganancia. Vemos que la topología 1 tiene una clara forma de circuito paso bajo, igual que el comportamiento típico de un par diferencial. Respecto al par diferencial simple la topología 1 ofrece una ganancia sustancialmente mayor, perdiendo por tanto ancho de banda de funcionamiento.

La topología 2 y la topología 4 tienen un aspecto muy similar. Esto es debido al efecto del condensador C y la resistencia R_{LARGE} . Hay un comportamiento distinto en DC respecto a la topología 1. En AC se comportan igual que dicha topología. Recordamos que la topología 4 respecto a la 2 únicamente varía la situación de las resistencias de alto valor óhmico, ya que ahora están conectadas a una tensión de control V_{DC} en vez de estar conectadas a las puertas de los transistores $M1$ y $M1P$.

La topología 3 es la que más varía respecto del resto. Utiliza transistores de puerta flotante para crear la realimentación positiva mediante el divisor de tensión capacitivo. Controlando los valores de los condensadores C_1 y C_2 podemos ajustar la cantidad de realimentación hasta buscar un valor aceptable.

7.VI Topología 2 en OTA base

Vamos a introducir la Topología 2 vista anteriormente en nuestro OTA base. Para ello necesitamos modificar la topología para que esté en tecnología PMOS en vez de NMOS, que fue como la estudiamos.



Mencionar que hemos realizado los circuitos cambiando las resistencias R_{LARGE} por resistencias tipo MOS.

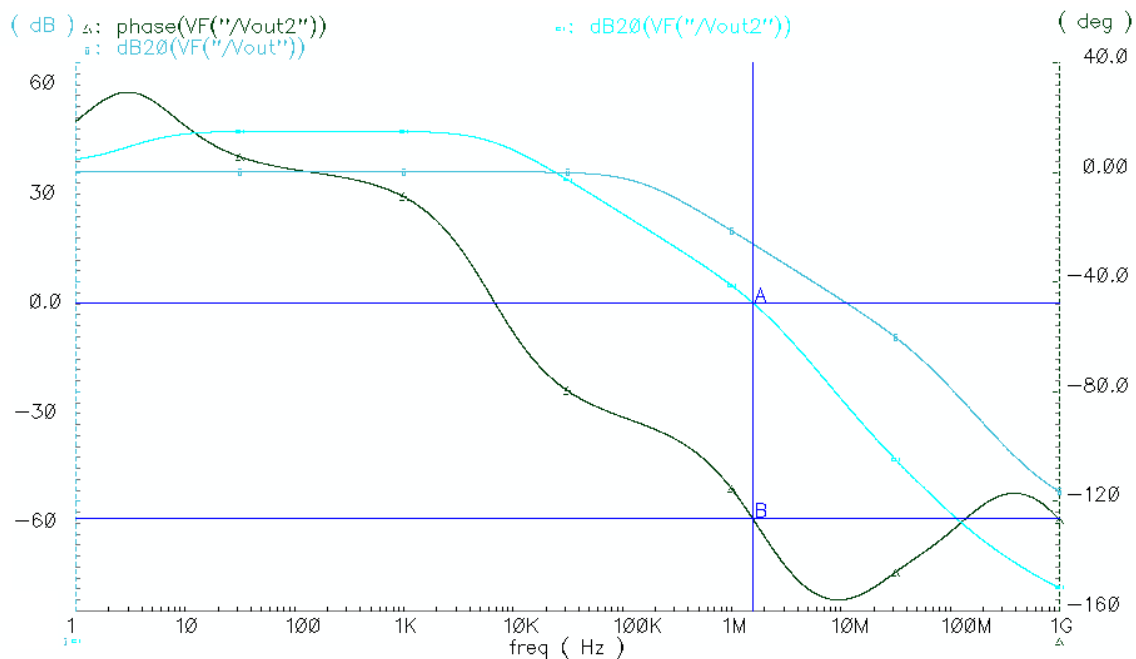
Un aspecto a tener en cuenta es que no podemos utilizar el dimensionamiento calculado en los puntos anteriores. Debemos pensar que hemos cambiado las resistencias R_L que utilizábamos para presentar los pares modificados por transistores MOS en conexión como diodo para los espejos de la parte inferior del OTA base. Esta configuración ofrece una resistencia entre drenador y fuente de $1/g_m$. Esta resistencia es mucho menor que las R_L que hemos utilizado anteriormente. Esto hace que tengamos que recalcular la relación W/L de los transistores M2 y M2P. Tomando la expresión vista para la transconductancia efectiva vemos que al reducir R_L tenemos que aumentar g_{m2} para igualar los valores.

$$g_m = \frac{g_{m1}}{1 - R_L \cdot g_{m2}} = K \cdot g_{m1}$$

$$K = \frac{1}{1 - R_L \cdot g_{m2}}$$

Simulación

Vamos a hacer una simulación para comparar los resultados obtenidos para el OTA base y el OTA base usando el par de la topología 2. Para ajustar la ganancia del par modificado fijamos $W_2/L_2 = 80\mu\text{m}/0,6\mu\text{m}$. Hacemos un barrido en AC hasta 1 GHz y obtenemos las siguientes ganancias:



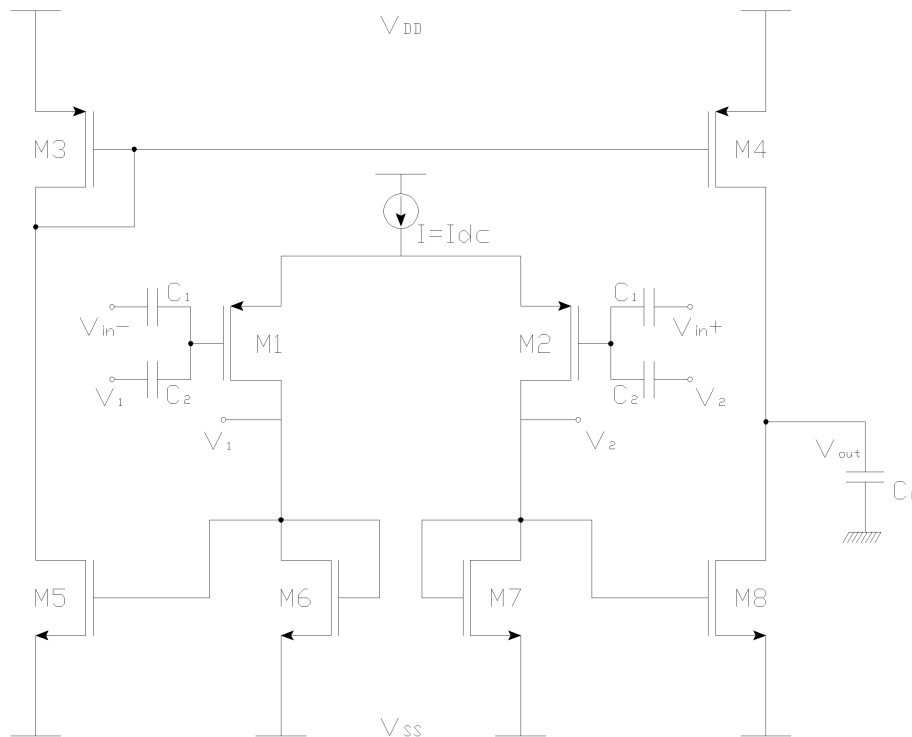
Vemos como gracias al par diferencial de la Topología 2 conseguimos aumentar la ganancia 12 dB respecto del OTA base. Vemos que la curva que sigue la ganancia es la esperada, tal y como vimos en la explicación de dicha topología. La frecuencia de corte inferior depende del condensador C y de las resistencias R_{LARGE} que unen las puertas de los transistores.

Prestamos atención al margen de fase y vemos que obtenemos un valor de $53^{\circ}5'$, por lo que el sistema es estable.

Tenemos que mencionar que no se mantiene el producto ganancia por ancho de banda. Con la modificación del par diferencial aumentamos ganancia, pero se disminuye mucho la frecuencia operativa del circuito. Existe por tanto un compromiso de diseño entre ganancia y ancho de banda útil, por lo que debemos ver en cada aplicación en concreto qué nos interesa más.

7.VII Topología 3 en OTA base

De la misma manera vamos a introducir la topología 3 en nuestro OTA base. Una vez modificada la topología de NMOS a PMOS la introducimos directamente en el OTA base, modificando el par diferencial de la siguiente manera:



Debemos fijarnos que para mantener la topología 3 la realimentación no es con la salida V_{out} , sino con las tensiones V_1 y V_2 , por eso hemos utilizado dichas tensiones en las entradas a los transistores de puerta flotante M1 y M2.

De nuevo volvemos a tener la misma situación que en el caso anterior. Hemos cambiado la topología NMOS a PMOS y además hemos cambiado las resistencias R_L por transistores conectados como diodos (parte de los espejos inferiores). La resistencia que ofrecen estos transistores es mucho menor que R_L , por lo que debemos volver a calcular los valores de los condensadores para poder llegar al mismo valor de $g_{m1} \cdot R_L \cdot b$. Aumentar la resistencia supone tener que bajar “b”.

$$g_m = \frac{g_{m1} \cdot a}{1 - g_{m1} \cdot R_L \cdot b} = K \cdot g_{m1} \quad ; \quad a = \frac{C_1}{C_1 + C_2} \quad ; \quad b = \frac{C_2}{C_1 + C_2}$$

$$K = \frac{a}{1 - g_{m1} \cdot R_L \cdot b}$$

Para lo que tendremos que aumentar el valor de C_2 .

Simulación

Vamos a hacer la simulación para comparar los resultados obtenidos para el OTA base y el OTA base usando el par de la topología 3. Veamos analíticamente la situación.

En vez de R_L de $100K\Omega$ tenemos el inverso de la transconductancia de los transistores $M6$ y $M7$. Por tanto K nos queda como sigue:

$$K = \frac{a}{1 - g_{m1} \cdot \frac{1}{g_{m6}} \cdot b} = \frac{\frac{C_1}{C_1 + C_2}}{1 - \frac{g_{m1}}{g_{m6}} \cdot \frac{C_2}{C_1 + C_2}} = \frac{C_1}{C_1 + C_2 - C_2 \frac{g_{m1}}{g_{m6}}} = \frac{C_1}{C_1 + C_2 \left(1 - \frac{g_{m1}}{g_{m6}}\right)}$$

Para que $K > 1$, necesitamos que $C_2 \left(1 - \frac{g_{m1}}{g_{m6}}\right) < 0$, por tanto $g_{m1} > g_{m6}$

Los valores aproximados para nuestras g_m son:

$$g_{m1} = \frac{2I_{DS}}{V_{GS} - V_T} = \frac{2 \cdot 5\mu}{1.002 - 0.84} = 6.1728 \cdot 10^{-5} \text{ A/V}$$

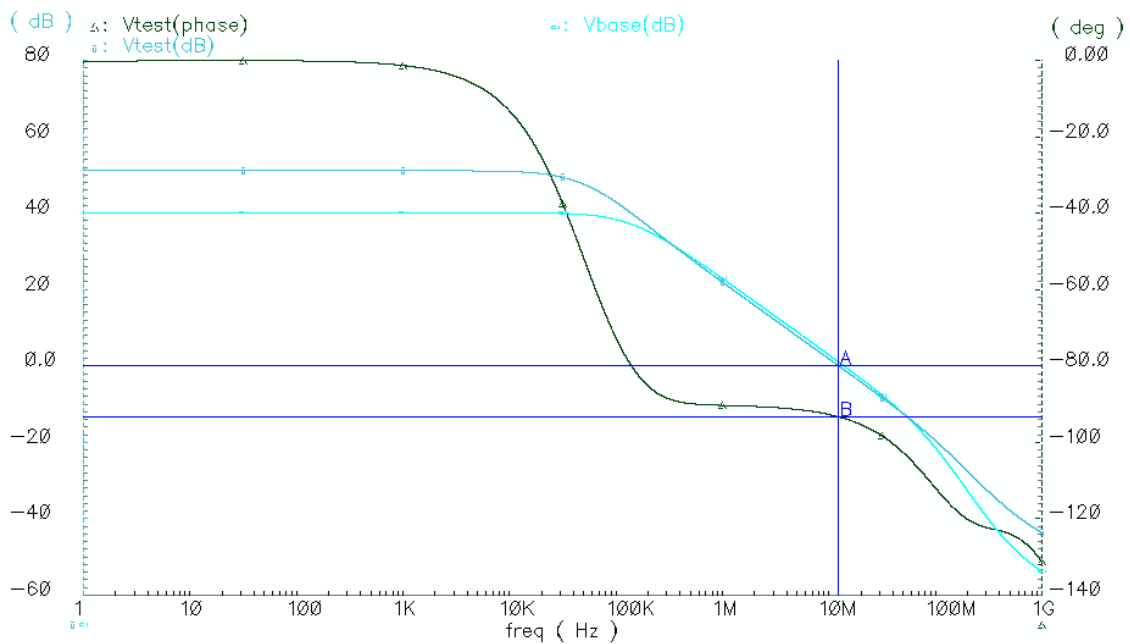
$$g_{m6} = \frac{2I_{DS}}{V_{GS} - V_T} = \frac{2 \cdot 5\mu}{0.834 - 0.67} = 6.097 \cdot 10^{-5} \text{ A/V}$$

Son valores aproximados, ya que no conocemos con exactitud los valores de V_t de los transistores. Vemos que son valores muy parecidos, por lo que vemos que K no varía prácticamente nada con grandes variaciones de C_2 .

Dado este caso, tomamos la decisión de modificar la transconductancia de los transistores del par diferencial. Esto varía también la ganancia del OTA base, pero no nos influye, ya que haremos comparaciones entre el OTA base y el de transconductancia ensalzada.

Aumentamos la relación W/L de los transistores del par al doble, haciendo que a su vez aumente sus transconductancias. De esta forma hacemos que sean diferentes a g_{m6} , facilitando la situación de manera notable y haciendo que se cumpla la condición de $g_{m1} > g_{m6}$.

El cálculo teórico nos sirve para poder comenzar a simular con valores de C_2 . Escogemos el valor de $C_2 = 77\text{pF}$ y presentamos los resultados obtenidos, así como la comparación con el OTA base.



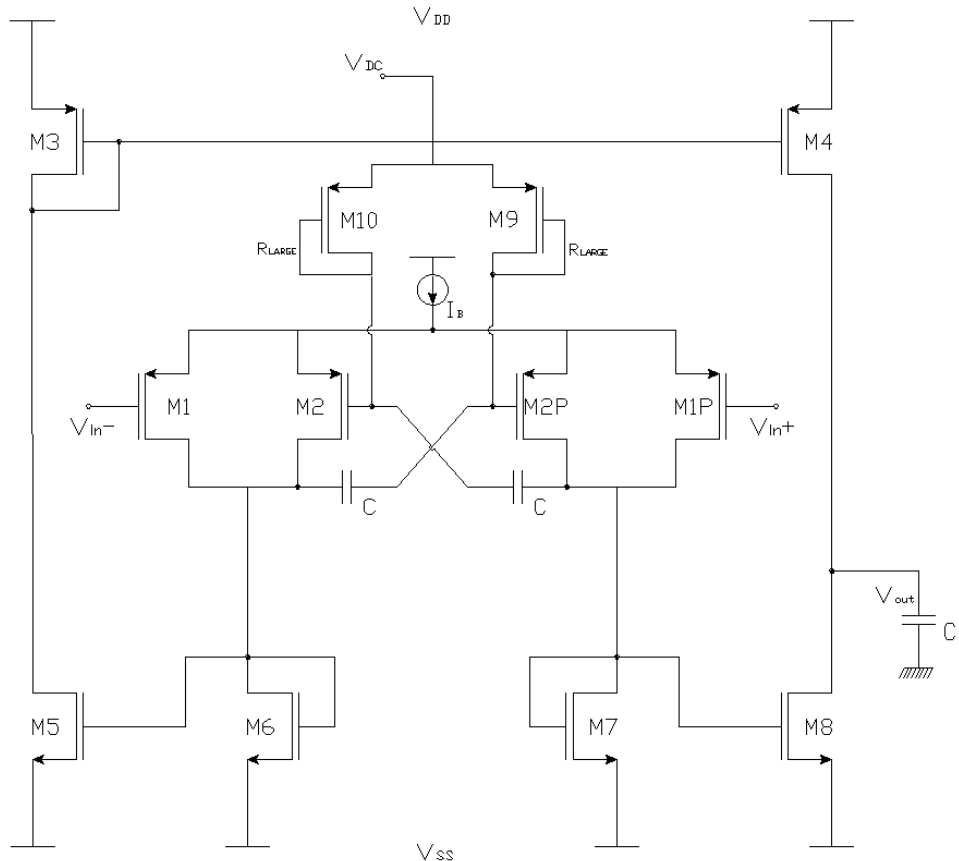
De nuevo observamos cómo hemos conseguido aumentar la ganancia del sistema en 11 dB. Escogemos un valor de C_2 que nos de cierta ganancia, pero no nos interesa hacer que el denominador de K sea menor que 0,2. Debemos tener en cuenta que en los procesos de fabricación hay mucha imprecisión.

Vemos cómo se reduce el ancho de banda a costa del incremento en la ganancia.

Obtenemos un margen de fase de 86.68° , por lo tanto vemos que el sistema es estable.

7.VIII Topología 4 en OTA base

Vamos a introducir la Topología 4 vista anteriormente en nuestro OTA base. De nuevo necesitamos modificar la topología para que esté en tecnología PMOS en vez de NMOS.



Mencionar que hemos realizado los circuitos cambiando las resistencias R_{LARGE} por resistencias tipo MOS.

Un aspecto a tener en cuenta es que no podemos utilizar el dimensionamiento calculado en la explicación de la Topología 4. Debemos pensar que hemos cambiado las resistencias R_L que utilizábamos para presentar los pares modificados por transistores MOS en conexión como diodo para los espejos de la parte inferior del OTA base. Esta configuración ofrece una resistencia entre drenador y surtidor de $1/g_m$ (unos 16 K Ω). Dicha resistencia es mucho menor que las R_L que hemos utilizado anteriormente (100 K Ω). Esto hace que tengamos que recalcular la relación W/L de los transistores M2 y M2P. Tomando la expresión vista para la transconductancia efectiva vemos que al reducir R_L tenemos que aumentar g_{m2} para igualar los valores.

$$g_m = \frac{g_{m1}}{1 - R_L \cdot g_{m2}} = K \cdot g_{m1}$$

$$K = \frac{1}{1 - R_L \cdot g_{m2}}$$

Simulación

Tal y como hemos mencionado, debemos sustituir las resistencias R_L por la inversa de la transconductancia de los transistores M6 y M7.

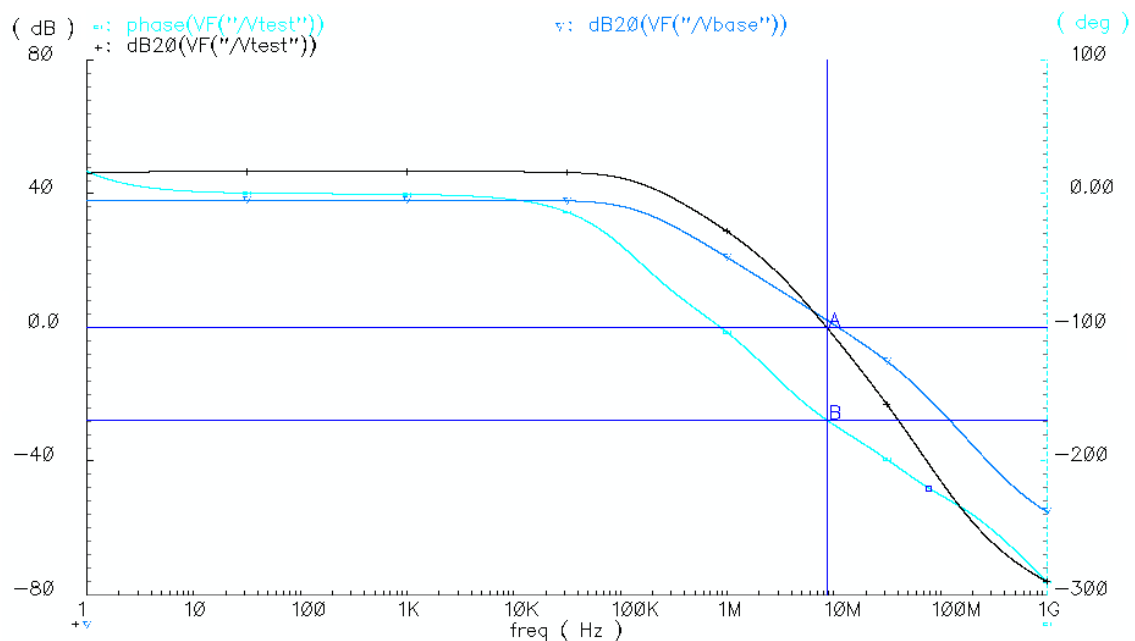
$$K = \frac{1}{1 - g_{m2} \cdot \frac{1}{g_{m6}}} = \frac{1}{1 - \frac{g_{m2}}{g_{m6}}}$$

Para que el sistema sea estable debemos hacer que $\frac{g_{m2}}{g_{m6}}$ tome un valor en torno a 0,8.

Los valores aproximados para nuestras g_m son:

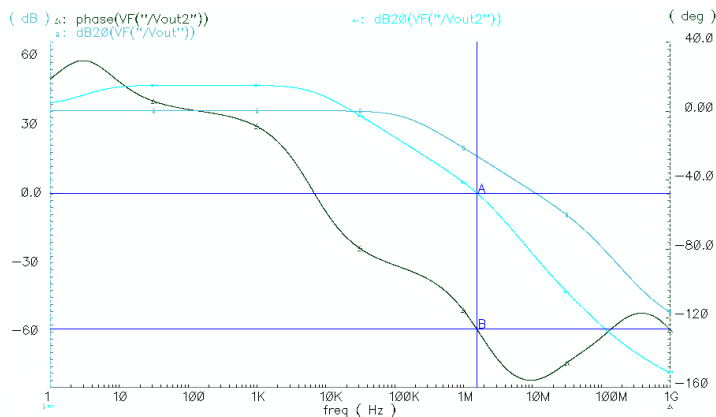
$$g_{m6} = \frac{2I_{DS}}{V_{GS} - V_T} = \frac{2 \cdot 5\mu}{0.834 - 0.67} = 6.097 \cdot 10^{-5}$$

La resistencia R_L usada antes es de $100K\Omega$, la que vemos ahora es de unos $16K\Omega$ por lo que debemos aumentar el valor de g_{m2} . Escogemos el dimensionamiento $W/L = 90\mu m/1.05\mu m$ (frente al usado en la explicación de la Topología 30/1.05).



Observamos en la simulación cómo aumenta la ganancia en unos 9 dB. Es importante mencionar que el margen de fase en este circuito es el menor de todos. Ronda los 11° , valor no tolerable.

Como conclusión de este apartado, vamos a comparar los resultados obtenidos en el OTA incluyendo las topologías 2, 3 y 4.

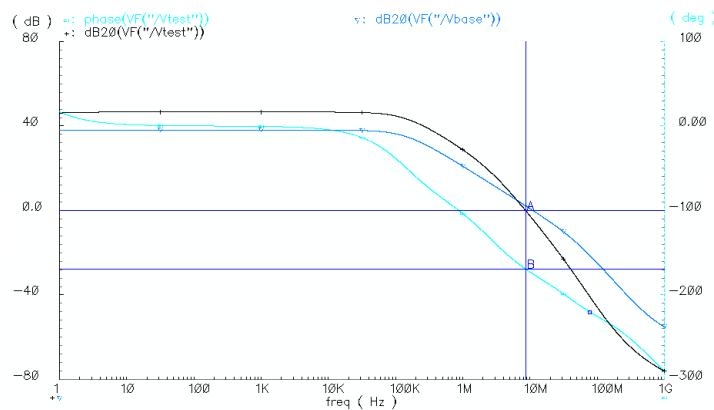


TOPOLOGÍA 2

Vemos claramente cómo aparece el efecto creado por el filtro paso alto que forman R_{LARGE} (en realidad un transistor conectado como diodo) y el condensador.

Incremento ganancia: 11 dB

Margen de fase: 53'5°

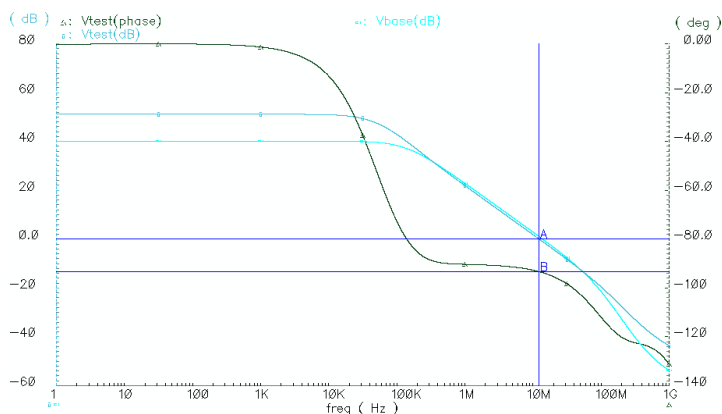


TOPOLOGÍA 3

No tiene filtro, por lo que la ganancia tiene una respuesta plana. Sucede lo mismo que en el la presentación de la Topología 3.

Incremento ganancia: 11 dB

Margen de fase: 86.68°



TOPOLOGÍA 4

Aparece de nuevo el efecto del filtro formado por R_{LARGE} (en realidad un transistor puentado) y el condensador. En esta simulación no se ve porque hemos reducido la ganancia para poder tener estabilidad.

Incremento ganancia: 9 dB

Margen de fase: 11°

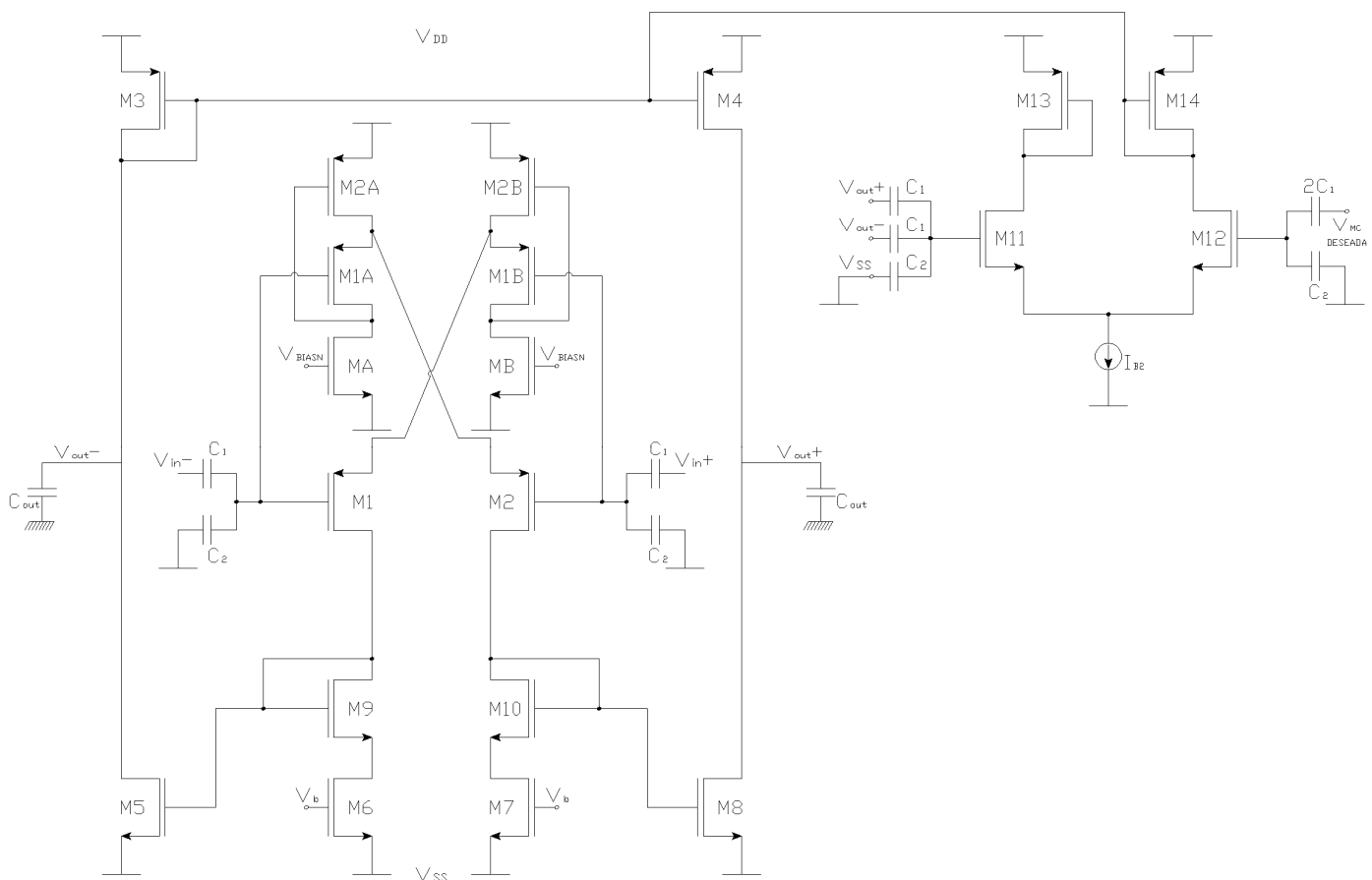
8 – LAYOUT

En este último apartado del texto vamos a plasmar uno de los circuitos estudiados en el mundo real. Para ello debemos realizar el Layout del circuito, es decir, diseñar físicamente el circuito eléctrico. Usaremos tecnología de semiconductores para ir creando cada uno de los elementos que componen dicho circuito.

8.1 Presentación del circuito

Para hacer el Layout vamos a escoger uno de los circuitos estudiados durante el texto. Comparamos los resultados del apartado 6 y vemos como el OTA3 en configuración de salida diferencial y con FGT a la entrada (OTA3 + mod1 + mod2) es el que mejor resultado da. El OTA2 es ligeramente peor en términos generales.

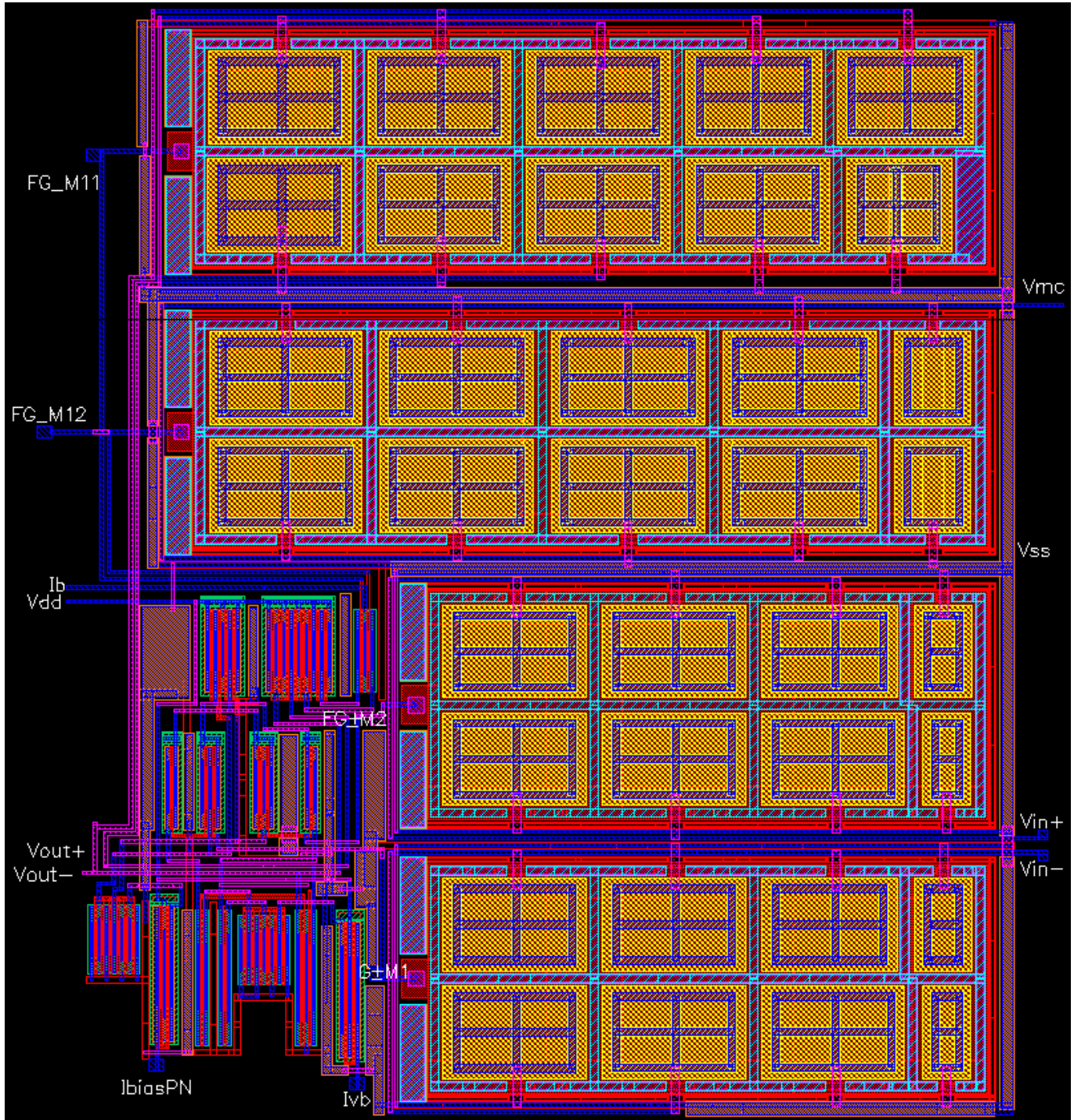
Presentamos el circuito que vamos a fabricar en la siguiente figura:



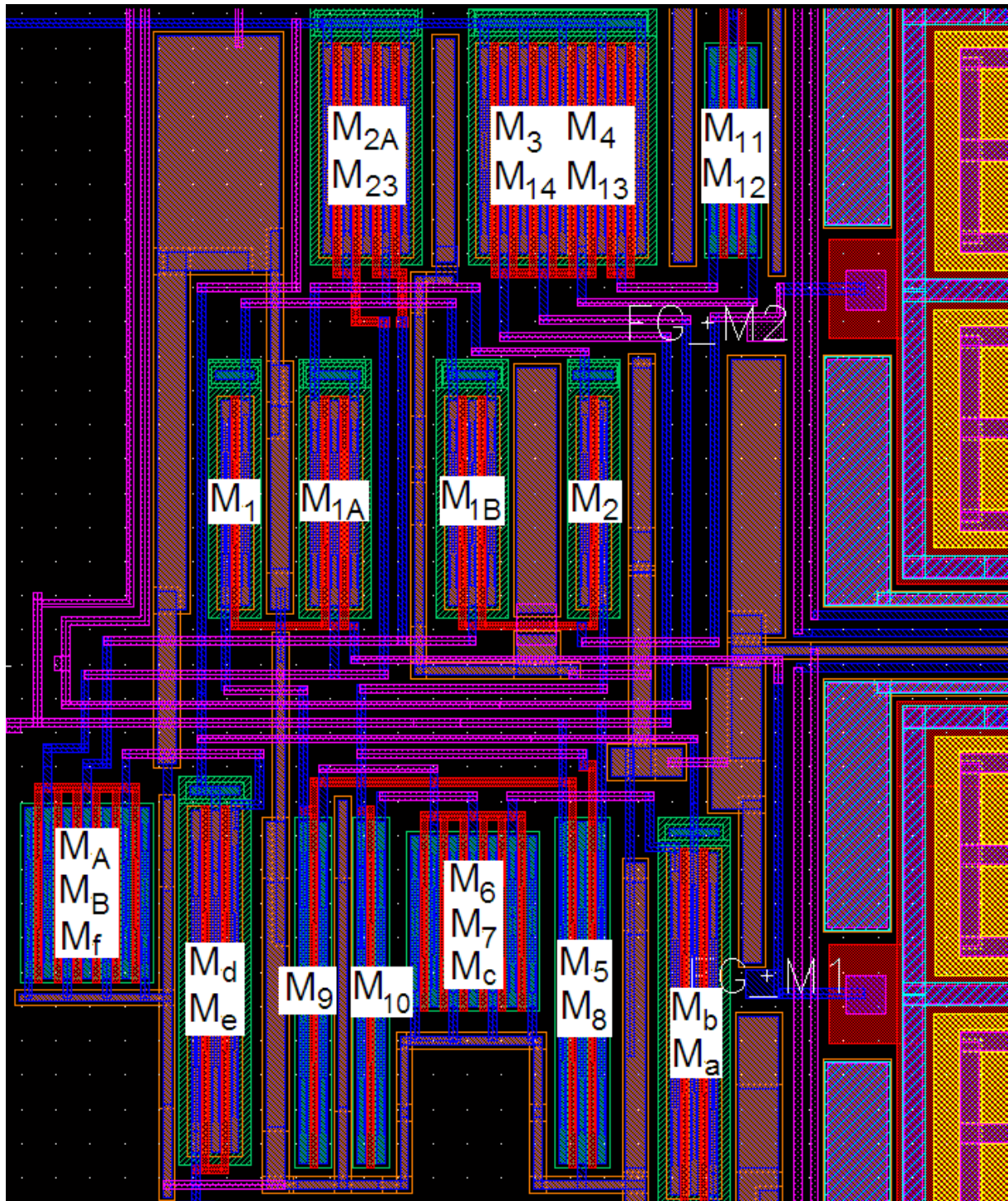
Debemos recordar en este punto que el circuito necesita unas tensiones y corrientes de polarización. Estos valores los obtenemos con circuitos adicionales que incluiremos en el layout. Para poder controlar el circuito una vez fabricado y poder descargar las puertas flotantes, colocaremos unos contactos apilados a las cuatro puertas flotantes de nuestro circuito.

8.II Layout

Presentamos a continuación una captura de nuestro Layout.



En la siguiente imagen mostramos en detalle la zona donde hemos colocado los transistores del circuito.



En la realización de este layout hemos utilizado diferentes técnicas, explicamos brevemente la función de cada una de ellas:

Interdigitado

En los procesos de fabricación puede darse el caso en el que se estropee una parte del área utilizada. Si esta zona afectada cae en un espacio donde se forma un único elemento del circuito, el daño puede influir mucho en el funcionamiento del conjunto. (NOTA: mejor que esta explicación es decir simplemente que cuando se necesita que dos componentes se parezcan hay que ponerlos lo más cerca posible)

Para evitar este tipo de fenómenos, utilizamos la técnica de interdigitado. Consiste básicamente en entrelazar los diferentes componentes del circuito entre sí. De esta forma, si una zona se estropea en el proceso de fabricación, esto no afecta a un único componente, sino que afecta de forma menor a varios componentes.

En nuestro layout hemos utilizado el interdigitado para la creación de transistores y también de condensadores.

Contactos a sustrato

Durante el desarrollo del layout hemos hecho contactos a sustrato desde pistas de metal. Al estar el sustrato conectado a Vss nos sirve para tener siempre una conexión a Vss cercana. Hacemos estos contactos por todas las zonas libres del circuito para que no se creen posibles diferencias de potencial.

Contacto hasta Metal3 en FG

Recordamos que la puerta flotante existente en los transistores introducidos en este circuito debe estar sin carga. Para descargarla, anteriormente, se utilizaba radiación ultravioleta (como en las memorias FGMOS EPROM). Esto ha sido un problema para la aplicación de esta técnica en la industria.

Hemos utilizado un método alternativo que consigue dejar las puertas con carga nula sin necesidad de costosos métodos. Conectamos las puertas flotantes hasta el metal3 (pasando por el 1 y por el 2). En el proceso de fabricación, cuando se incluye el metal1, tenemos las puertas flotantes unidas a toda la masa, haciendo que esté descargada. Tras ello, se produce la eliminación selectiva (etching) del metal1, dejando las puertas flotantes. Esto se repite hasta el metal3, haciendo que al final resulte en que se quedan las puertas descargadas, sin necesidad de otro proceso post fabricación.

No obstante también hacemos unos contactos al exterior del circuito para poder tener control sobre las puertas flotantes.

Aislamiento de condensadores

Los condensadores son elementos que se pueden ver alterados por las condiciones de contorno. Por ello intentamos utilizar técnicas conocidas para mejorar su aislamiento. Hacemos contactos a metal³ rodeando los condensadores, unidos a la puerta flotante.

Mencionar también que hemos intentado reducir las dimensiones de los condensadores en busca de un tamaño compacto y a la hora de fabricar vemos que los condensadores son la parte más grande de nuestra área.

8.III Simulación Post-Layout

Una vez terminado el proceso del layout extraeremos el circuito. Al extraer añadimos el efecto de los condensadores parásitos para intentar acercarnos más al resultado real. Se genera un archivo exportado idéntico al del layout, pero aparecen los valores de los elementos creados en el layout (transistores, condensadores...).

Podemos comparar el resultado de la extracción con el esquemático del circuito del que partimos. Recordamos que para hacer esto antes de comenzar con el layout realizamos un símbolo con las entradas/salidas que necesitamos. Adaptamos el circuito a dicho símbolo para hacer coincidir los pines. La comparación se hace entre el resultado de la extracción del layout, con el circuito interno del símbolo, es decir, sus componentes y valores y también sus nodos y nombres.

A la hora de hacer el interdigitado de los transistores tuvimos que cambiar ligeramente alguna dimensión. Este hecho se refleja en la comparación del esquemático con el layout extraído. Es un error asumible y conocido. No se refleja ningún otro error al hacer esta comparación.

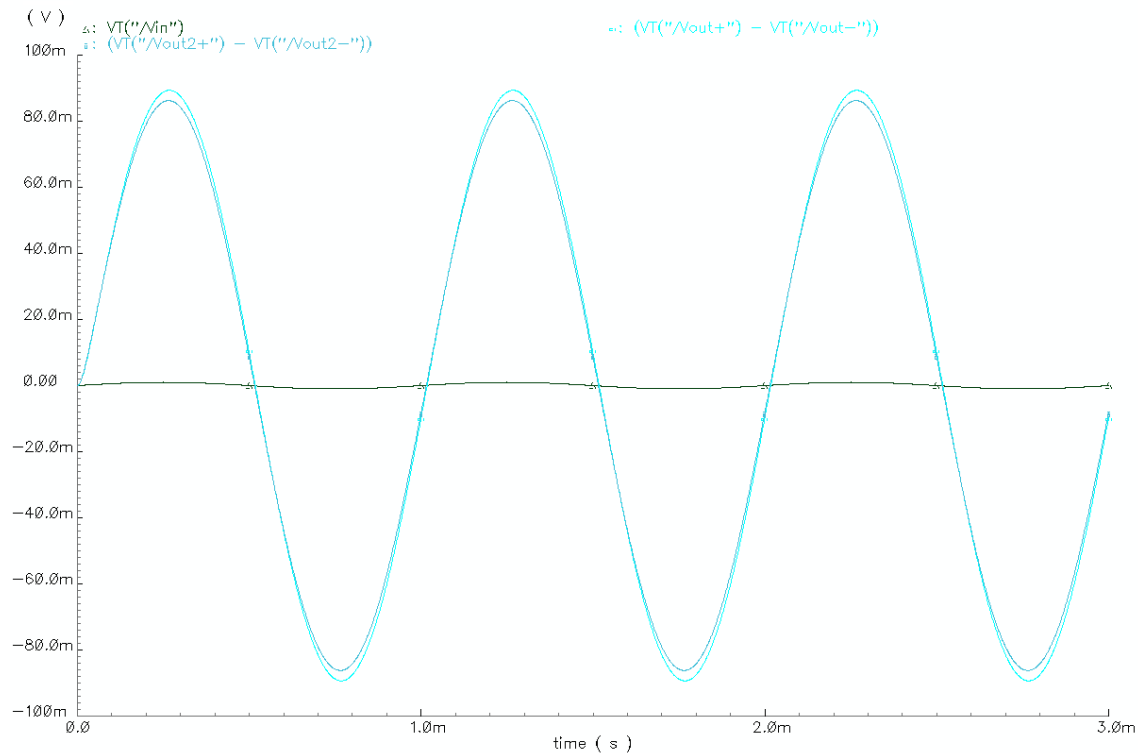
Para poder simular sobre el circuito extraído debemos utilizar el símbolo y en el momento de hacer la simulación indicamos al sistema que utilice como circuito el extraído y no el esquemático.

Tenemos los resultados que deseamos del circuito en los apartados 5 y 6 de este texto. En el siguiente punto compararemos dichos valores con los que deseamos haciendo la simulación con el extraído.

8.IV Comparación resultados

Presentamos la comparación de los principales valores a estudio de estos circuitos.

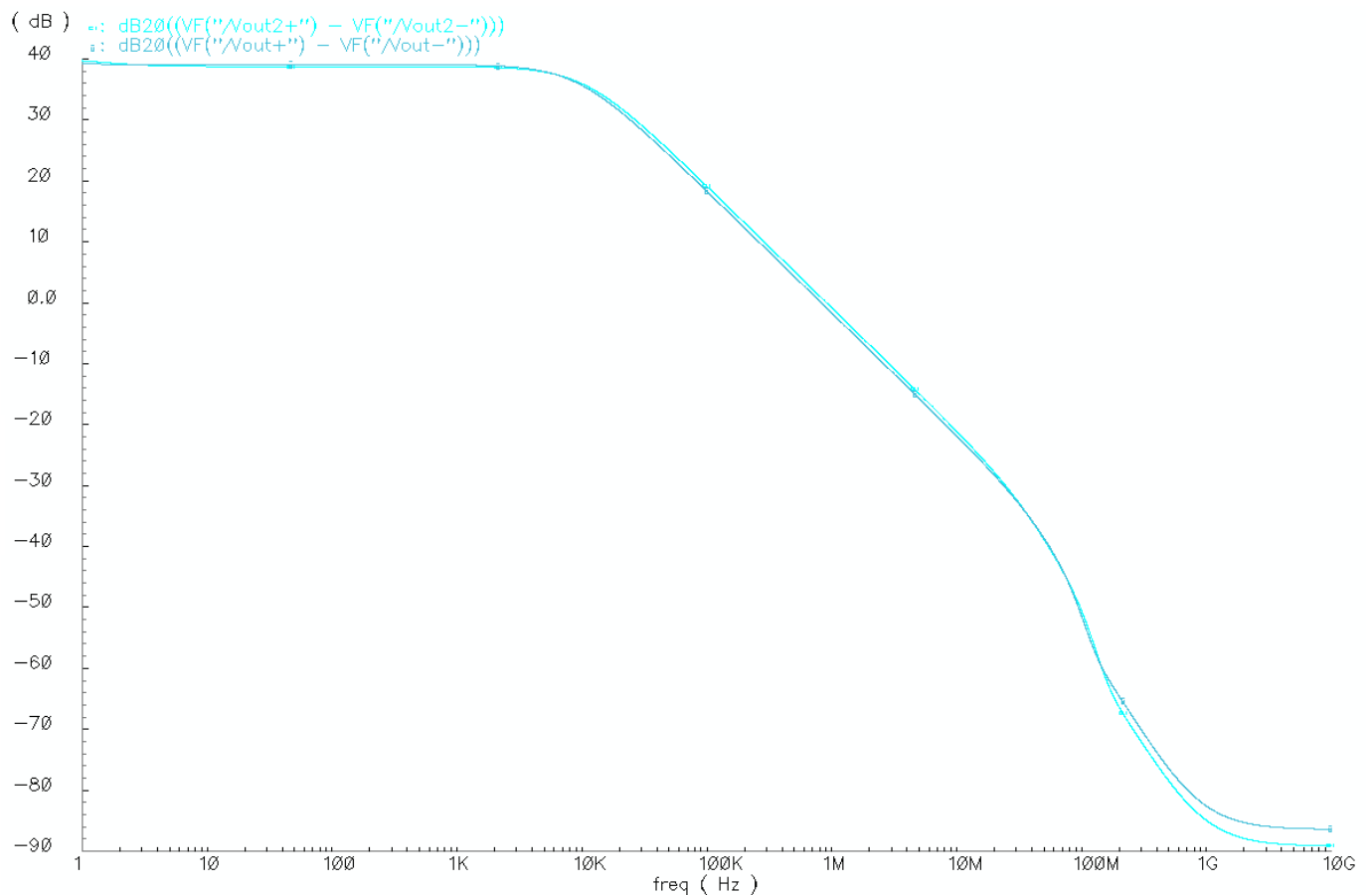
Respuesta en tiempo



La primera prueba que hacemos para comparar el esquemático en el post-layout es excitarlos con la misma señal y comparar las salidas. Hemos utilizado una señal sinusoidal de 1 mV de amplitud, de forma que no saturamos el circuito. Podemos observar cómo las respuestas son muy similares. Se aprecia que la cresta de la señal del post-layout es ligeramente más baja que la del esquemático. Esto nos muestra que la ganancia en tensión es ligeramente menor. También puede estar deformando la señal, dando lugar a una mayor distorsión. Vemos estos puntos con más detalle a continuación.

Bode

En la siguiente gráfica vemos la comparación del esquemático con el post-layout. Hemos ampliado la imagen para poder apreciar como las dos respuestas son prácticamente idénticas.



En la zona plana vemos que la ganancia post-layout es ligeramente menor. La respuesta del polo dominante en los dos casos es idéntica.

Distorsión

| Distorsión | Señal ± 1 mV | | | | Señal ± 10 mV | | | |
|--------------------|------------------|---------|-------------------------|--------|-------------------|---------|-------------------------|--------|
| | THD | | $1^{\circ} - 2^{\circ}$ | | THD | | $1^{\circ} - 2^{\circ}$ | |
| | 1 kHz | 50 kHz | 1 kHz | 50 kHz | 1 kHz | 50 kHz | 1 kHz | 50 kHz |
| OTA 3: mod1 + mod2 | 0,00325 | 0,00023 | 146,83 | 119,35 | 0,38002 | 0,01686 | 123,20 | 119,57 |
| Post layout | 0,00335 | 0,00420 | 128,03 | 118,83 | 0,45180 | 0,42030 | 103,05 | 98,61 |

En la tabla anterior hemos plasmado la distorsión en lazo abierto para nuestro circuito. Recordemos que tiene una alta ganancia, así que para poder estudiar la distorsión debemos introducir señales suficientemente pequeñas para no saturar el sistema. La señal de 10 mV de amplitud estaba en todos los casos rozando el límite de saturación, así que atenderemos especialmente los resultados obtenidos con la señal de amplitud 1 mV.

La distorsión armónica total en el caso de 1 mV y 1 kHz son iguales y muy bajas, por lo que vemos un resultado satisfactorio. En el caso de 50 kHz la distorsión sigue siendo muy baja, aunque ligeramente mayor en el caso del post-layout.

La diferencia entre el armónico fundamental y el de segundo orden es algo inferior en el post-layout, pero sigue teniendo un valor elevado.

9- CONCLUSIONES Y LÍNEAS FUTURAS

Hemos comprobado con simulaciones las mejoras del uso de etapas Clase AB en vez de etapas Clase A. La mejora en términos de Slew-Rate es muy notable, pudiendo aumentar la velocidad de carga de un condensador como salida. También tenemos mejoras en la ganancia, como pudimos ver en los diagramas de Bode.

Posteriormente aplicamos técnicas de Clase AB en las etapas de salida, con los espejos no lineales, en el OTA que centra el estudio del texto. Como ya hemos comentado, la conversión a Clase AB hace que el Slew-Rate aumente de forma considerable (OTA base: $0,4 \text{ V}/\mu\text{S}$. OTA Superclase AB $50 \text{ V}/\mu\text{S}$)

Pudimos ver como la introducción de técnicas basadas en transistores de puerta flotante (FGT) y de puerta cuasi-flotante (QFGT) permite mejorar algunas de las características de los circuitos electrónicos, sobre todo en lo que se refiere a uso de tensiones rail-to-rail.

Una de las mejoras que nos ofrece la conversión en Superclase AB es que el producto ganancia por ancho de banda aumenta.

En términos de distorsión armónica vimos cómo el uso de salida diferencial ofrece unos resultados sustancialmente mejores. Comentamos que la ganancia es la misma, ya que ofrece media señal positiva y media señal negativa, haciendo que los defectos introducidos por el sistema afecte a las dos señales de la misma forma. Al hacer la resta de estas señales, eliminamos la mayor parte de estos defectos.

Comparando todos los circuitos entre sí, vimos que el OTA con el espejo no lineal tipo 3 se comportaba mejor en términos generales, así que escogimos dicho circuito para realizar su layout. Vimos que la mayor parte de la superficie ocupada pertenece a los condensadores, así que debemos reflexionar que en estas topologías no es tan importante la superficie de los transistores y debemos prestar más atención a la elección de los valores de los condensadores.

Por último, mencionar que se podría llevar a la práctica dicho layout y realizar las pruebas en un sistema real. Ya hicimos las simulaciones post-layout correspondientes, con resultados positivos, pero debería fabricarse para comparar estos resultados simulados con los reales. También vemos que se podrían aplicar estas técnicas a muchos otras topologías de amplificadores.

Otra línea de futuro interesante sería trasladar las técnicas propuestas a otras tecnologías CMOS más modernas, como pueden ser las de 130 nm o 90 nm.

10 – BIBLIOGRAFÍA

ARTÍCULOS

- Juan A. Galan, Antonio J. López-Martín, Member, IEEE, Ramón G. Carvajal, Senior Member, IEEE, Jaime Ramírez-Angulo, Fellow, IEEE, and Carlos Rubia-Marcos “Super Class-AB OTAs With Adaptive Biasing and Dynamic Output Current Scaling”
- Jaime Ramírez-Angulo, Fellow, IEEE, Antonio J. López-Martín, Member, IEEE, Ramón González Carvajal, Member, IEEE, and Fernando Muñoz Chavero “Very Low-Voltage Analog Signal Processing Based on Quasi-Floating Gate Transistors”
- A. López-Martin, R.G. Carvajal, E. López-Morillo, L. Acosta, T. Sánchez-Rodríguez, C. Rubia-Marcos and J. Ramírez-Angulo “Low-Voltage Power-Efficient Amplifiers for Emerging Applications”
- J. Ramírez-Angulo, B. Calvo, Ramón G. Carvajal, A. López-Martín, “Low-voltage gm-enhanced CMOS Differential Pairs using Positive Feedback”

LIBROS

- DESIGN OF ANALOG INTEGRATED CIRCUITS AND SYSTEMS
Kenneth R. Laker, Willy M.C. Sansen . McGraw-Hill, 1994
- CIRCUITOS MICROELECTRÓNICOS (cuarta edición)
Adel S. Sedra, Kenneth C. Smith. Oxford, 1999



AGRADECIMIENTOS

Me gustaría agradecer a Antonio J. López Martín su gran ayuda y consejo tanto en el desarrollo de este trabajo como en la orientación durante estos años.